

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-70718

(43) 公開日 平成10年(1998) 3月10日

(51) Int.Cl.<sup>8</sup>

H 0 4 N 7/24  
5/92

識別記号

庁内整理番号

F I

H 0 4 N 7/13  
5/92

技術表示箇所

Z  
H

審査請求 未請求 請求項の数20 OL (全 27 頁)

(21) 出願番号 特願平9-146316

(22) 出願日 平成9年(1997) 6月4日

(31) 優先権主張番号 08/659754

(32) 優先日 1996年6月6日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション  
INTERNATIONAL BUSINESS MACHINES CORPORATION  
アメリカ合衆国10504、ニューヨーク州アーモンク (番地なし)

(72) 発明者 クリストファー・スティーブン・マレー  
アメリカ合衆国33437、フロリダ州ポイントン・ビーチ、アシュリ・レイク・ドライブ 5126、アパートメント 216

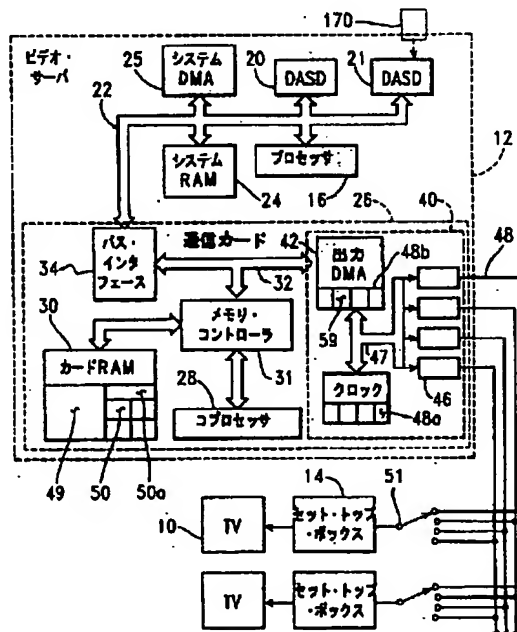
(74) 代理人 弁理士 坂口 博 (外1名)

(54) 【発明の名称】 ビデオ・データ伝送方法

(57) 【要約】

【課題】 複数の伝送チャネルを通じ、伝送中に伝送速度を変化させつつ、デジタル・ビデオ・セグメントの伝送を行える方法を提供する。

【解決手段】 各伝送チャネルに対して、書き込み制御ブロック (WCB) を伴うビデオ・データ・セグメントが、データ・バッファに保管される。各WCBは、その関連するビデオ・データ・セグメントを示すポインタ、及び好ましいデータ伝送速度を示すコードを含む。WCBのアドレスは、各伝送チャネル用のFIFOバッファに保管される。WCBのコード情報が速度変更の必要性を示すと、コプロセッサで実行される実行時サブルーチンが、各WCBのチャネル制御ワードにビットを設定し、対応するビデオ・セグメントの伝送時に、DMAプロセスを停止し、割り込みを発行する。割り込みハンドラが新しいライン速度を判定し、それによって可変速度クロックを設定する。



## 【特許請求の範囲】

【請求項1】 デジタルに符号化された伝送速度情報を含む複数のデジタル・ビデオ・データ・セグメントの形で到来するビデオ・データの伝送方法であって、前記ビデオ・データ・セグメントが好ましい順に到来し、

(a) 前記複数のビデオ・データ・セグメント中の各前記ビデオ・データ・セグメントをデータ・バッファに保管するステップと、

(b) 複数のデータ構造体を構築するステップであって、前記複数のデータ構造体中の各データ構造体が、前記複数のビデオ・データ・セグメント中の1つと対応し、各前記データ構造体が前記データ・バッファに保管され、各前記データ構造体が、該構造体に対応する前記ビデオ・データ・セグメントを指すポインタ、及び該構造体に対応する前記ビデオ・データ・セグメントの前記符号化された伝送速度情報から得られるライン速度コードを含む、該ステップと、

(c) 前記データ構造体に対応する前記ビデオ・データ・セグメントが到来する際の前記好ましい順に相当する順で、各前記データ構造体から情報を読み出すステップと、

(d) 次に伝送されるビデオ・データ・セグメントに対応する特定のデータ構造体中の前記ライン速度コードの指示により、伝送ライン速度の変更が要求されたときに、前記ビデオ・データの伝送のタイミングをとるパルスを供給する可変速度クロックを設定するステップと、を含む方法。

【請求項2】 (a) 各前記データ構造体から前記情報を読み出した後に、各前記データ構造体が連鎖され、前記データ構造体に対応した前記ビデオ・データの伝送を待つ進行中のキューを構成し、前記データ・バッファ内のメモリ位置をアクセスするメモリ・アクセス回路の制御の下で前記伝送を行わせるステップと、

(b) 前記複数のデータ構造体中の特定のデータ構造体が関連付けられたビデオ・データ・セグメントに対して、前記特定のデータ構造体中の前記ライン速度コードの指示により前記伝送ライン速度の変更が要求されたときに、前記メモリ・アクセス回路からの割り込みを要求する第1のフラグ・ビットを、前記特定のデータ構造体書き込むステップと、

(c) 前記第1のフラグ・ビットが、前記メモリ・アクセス回路の動作中のセット条件で見つかったときに、前記割り込みを発行し、割り込みハンドラを開始させるステップと、

(d) 前記割り込みハンドラが、前記特定のデータ構造体中の前記ライン速度コードからライン速度変更が要求されたか否かを判定するステップと、

(e) 前記割り込みハンドラが、ライン速度変更が要求されたと判定したときに、前記可変速度クロックを設定するステップと、を含む、請求項1に記載の方法。

【請求項3】 (a) 前記複数のデータ構造体中の特定のデータ構造体が関連付けられたビデオ・データ・セグメントに対して、前記特定のデータ構造体中の前記ライン速度コードの指示により前記伝送ライン速度の変更が要求されたときに、前記メモリ・アクセス回路をディスエーブルにし、前記ビデオ・データ・セグメントの伝送の阻止を要求する第2のフラグ・ビットを前記特定のデータ構造体書き込むステップと、

(b) 前記第2のフラグ・ビットが、前記メモリ・アクセス回路の動作中のセット条件で見つかったときに、前記特定のデータ構造体が関連付けられた前記ビデオ・データ・セグメントの伝送を止めるために、前記メモリ・アクセス回路をディスエーブルにするステップと、

(c) 前記可変速度クロックを設定した後に、前記割り込みハンドラが前記メモリ・アクセス回路をイネーブルにし、前記特定のデータ構造体が関連付けられた前記ビデオ・データ・セグメントの伝送を許可するステップと、を含む請求項2に記載の方法。

【請求項4】 前記第1及び第2のフラグ・ビットが前記データ構造体中の制御ワードの一部を形成し、前記制御ワードが前記メモリ・アクセス回路のレジスタに書き込まれ、前記特定のデータ構造体が関連付けられた前記ビデオ・データ・セグメントの伝送に備えるステップを含む、請求項3に記載の方法。

【請求項5】 (a) 前記データ構造体が関連付けられた前記ビデオ・データ・セグメントが、直前のビデオ・データ・セグメントのライン速度と同一のライン速度で伝送されるときに、前記ライン速度コードが第1の値に設定され、前記データ構造体が関連付けられた前記ビデオ・データ・セグメントが、第1のライン速度で伝送されるときに、前記ライン速度コードが第2の値に設定され、更に前記データ構造体が関連付けられた前記ビデオ・データ・セグメントが、第2のライン速度で伝送されるときに、前記ライン速度コードが第3の値に設定されるステップと、

(b) 前記ライン速度コードが前記第1の値以外の値に設定されるときに、前記ライン速度コードが、前記ビデオ・データ・セグメントを伝送するライン速度の変更の必要性を示すステップと、を含む請求項1に記載の方法。

【請求項6】 前記メモリ・アクセス回路がビデオ・データ・セグメントの伝送を実行中か否かを判定するステップを更に含む方法であって、前記メモリ・アクセス回路が伝送を実行中でないときに、

(a) 前記進行中のキューの先頭を指すポインタを前記データ構造体に設定するステップと、

(b) 前記メモリ・アクセス回路により前記データ構造体からデータを読み出すステップと、

(c) 前記データ構造体中の前記ライン速度コードが示すライン速度に前記可変速度クロックを設定するステ

ップと、

(d) ビデオ・データ・セグメントを伝送するために前記メモリ・アクセス回路による伝送を開始させるステップと、を含む請求項2に記載の方法。

【請求項7】 デジタルに符号化された伝送速度情報を含む、第1及び第2のそれぞれ複数のデジタル・ビデオ・データ・セグメントの形で到来するビデオ・データの伝送方法であって、前記第1の複数のビデオ・データ・セグメント中のビデオ・データ・セグメントが、第1の出力ポートを介した伝送のために第1の好ましい順で到来し、前記第2の複数のビデオ・データ・セグメント中のビデオ・データ・セグメントが、第2の出力ポートを介した伝送のために第2の好ましい順で到来し、

(a) 前記第1及び第2の複数のビデオ・データ・セグメント中の各前記ビデオ・データ・セグメントをデータ・バッファに保管するステップと、

(b) 第1及び第2のそれぞれ複数のデータ構造体を構築するステップであって、前記第1の複数のデータ構造体中の各データ構造体が、前記第1の複数のビデオ・データ・セグメント中の1つに対応し、前記第2の複数のデータ構造体中の各データ構造体が、前記第2の複数のビデオ・データ・セグメント中の1つに対応し、各前記データ構造体が前記データ・バッファに保管され、各前記データ構造体が、該構造体に対応する前記ビデオ・データ・セグメントを指すポインタ、及び該構造体に対応する前記ビデオ・データ・セグメントの前記符号化された伝送速度情報から得られるライン速度コードを含む、該ステップと、

(c) 前記データ構造体に対応する前記ビデオ・データ・セグメントが到来する際の前記第1の好ましい順に相当する順で、前記第1の複数のデータ構造体中の各前記データ構造体から情報を読み出し、前記第2の複数のデータ構造体中の各前記データ構造体からの情報を、前記データ構造体に対応する前記ビデオ・データ・セグメントが到来する際の前記第2の好ましい順に相当する順で読み出すステップと、

(d) 前記第1の複数のデータ構造体中の特定の前記データ構造体内の前記ライン速度コードの指示により、前記第1の出力ポートを介した伝送ライン速度の変更が要求されたときに、前記第1の複数のデータ構造体中の前記特定のデータ構造体に対応する特定の前記ビデオ・データ・セグメントとして、前記ビデオ・データを伝送するタイミングをとるパルスを供給するように、第1の可変速度クロックを設定するステップと、

(e) 前記第2の複数のデータ構造体中の特定の前記データ構造体内の前記ライン速度コードの指示により、前記第2の出力ポートを介した伝送ライン速度の変更が要求されたときに、前記第2の複数のデータ構造体中の前記特定のデータ構造体に対応する特定の前記ビデオ・データ・セグメントとして、前記ビデオ・データを伝送す

るタイミングをとるパルスを供給するように、第2の可変速度クロックを設定するステップと、を含む方法。

【請求項8】 (a) 前記第1の複数のデータ構造体中の各前記データ構造体から前記情報を読み出した後に、各前記データ構造体が連鎖され、前記データ構造体に対応した前記ビデオ・データの前記第1の出力ポートを介した伝送を待つ第1の進行中のキューを構成し、前記データ・バッファ内のメモリ位置をアクセスするメモリ・アクセス回路の制御の下で前記伝送を行わせるステップと、

(b) 前記第2の複数のデータ構造体中の各前記データ構造体から前記情報を読み出した後に、各前記データ構造体に対応した前記ビデオ・データの前記第2の出力ポートを介した伝送を待つ第2の進行中のキューを構成し、前記データ・バッファ内のメモリ位置をアクセスするメモリ・アクセス回路の制御の下で前記伝送を行わせるステップと、

(c) 特定のデータ構造体が関連付けられたビデオ・データ・セグメントに対して、前記特定のデータ構造体内の前記ライン速度コードの指示により前記伝送ライン速度の変更が要求されたときに、前記メモリ・アクセス回路からの割り込みを要求する第1のフラグ・ビットを、前記特定のデータ構造体へ書き込むステップと、

(d) 前記第1のフラグ・ビットが、前記メモリ・アクセス回路の動作中のセット条件で見つかったときに、前記割り込みを発行し、割り込みハンドラを開始させるステップと、

(e) 前記割り込みハンドラが、前記特定のデータ構造体中の前記ライン速度コードからライン速度変更が要求されたか否かを判定するステップと、

(f) 前記割り込みハンドラが、前記第1の複数のデータ構造体中のデータ構造体内の前記ライン速度コードによりライン速度変更が要求されたと判定したときに、前記第1の可変速度クロックを設定するステップと、

(g) 前記割り込みハンドラが、前記第2の複数のデータ構造体中のデータ構造体内の前記ライン速度コードによりライン速度変更が要求されたと判定したときに、前記第2の可変速度クロックを設定するステップと、を含む、請求項7に記載の方法。

【請求項9】 (a) 特定のデータ構造体が関連付けられた特定のビデオ・データ・セグメントに対して、前記特定のデータ構造体内の前記ライン速度コードの指示により前記伝送ライン速度の変更が要求されたときに、前記メモリ・アクセス回路をディスエーブルし、前記ビデオ・データ・セグメントの伝送の阻止を要求する第2のフラグ・ビットをも前記特定のデータ構造体へ書き込むステップと、

(b) 前記第2のフラグ・ビットが、前記メモリ・アクセス回路の動作中のセット条件で見つかったときに、前記特定のデータ構造体が関連付けられた前記特定のビデオ・データ・セグメントの伝送の阻止を要求する第2のフラグ・ビットをも前記特定のデータ構造体へ書き込むステップと、を含む、請求項9に記載の方法。

オ・データ・セグメントの伝送を止めるために、前記メモリ・アクセス回路をディスエーブルにするステップと、

(c) 前記第1又は第2の可変速度クロックを設定した後に、前記割り込みハンドラが前記メモリ・アクセス回路をイネーブルにし、前記特定のデータ構造体が関連付けられた前記特定のビデオ・データ・セグメントの伝送を許可するステップと、を含む請求項8に記載の方法。

【請求項10】前記第1及び第2のフラグ・ビットが前記データ構造体中の制御ワードの一部を形成し、前記制御ワードが前記メモリ・アクセス回路のレジスタに書き込まれ、前記特定のデータ構造体が関連付けられた前記ビデオ・データ・セグメントの伝送に備えるステップを含む、請求項9に記載の方法。

【請求項11】(a) 前記データ構造体が関連付けられた前記ビデオ・データ・セグメントが、直前のビデオ・データ・セグメントのライン速度と同一のライン速度で伝送されるときに、前記ライン速度コードが第1の値に設定され、前記データ構造体が関連付けられた前記ビデオ・データ・セグメントが、第1のライン速度で伝送されるときに、前記ライン速度コードが第2の値に設定され、更に前記データ構造体が関連付けられた前記ビデオ・データ・セグメントが、第2のライン速度で伝送されるときに、前記ライン速度コードが第3の値に設定されるステップと、

(b) 前記ライン速度コードが前記第1の値以外の値に設定されるときに、前記ライン速度コードが、前記ビデオ・データ・セグメントを伝送するライン速度の変更の必要性を示すステップと、を含む請求項7に記載の方法。

【請求項12】前記メモリ・アクセス回路がビデオ・データ・セグメントの伝送を実行中か否かを判定するステップを更に含む方法であって、前記メモリ・アクセス回路が伝送を実行中ではないときに、

(a) 前記データ構造体が前記第1の複数のデータ構造体中にあるときに、前記第1の進行中のキューの先頭を指すポインタを前記データ構造体に設定し、前記メモリ・アクセス回路により前記データ構造体からデータを読み出し、更に前記データ構造体内の前記ライン速度コードが示すライン速度に前記第1の可変速度クロックを設定し、前記メモリ・アクセス回路によるビデオ・データ・セグメントの伝送を開始させるステップと、

(b) 前記データ構造体が前記第2の複数のデータ構造体中にあるときに、前記第2の進行中のキューの先頭を指すポインタを前記データ構造体に設定し、前記メモリ・アクセス回路により前記データ構造体からデータを読み出し、更に前記データ構造体内前記ライン速度コードが示すライン速度に前記第2の可変速度クロックを設定し、前記メモリ・アクセス回路によるビデオ・データ・セグメントの伝送を開始させるステップと、を含む請求

項8に記載の方法。

【請求項13】複数のビデオ・データ・セグメント中の個々のビデオ・データ・セグメントが、メモリ・アクセス回路の制御の下で伝送されるライン速度を決定する方法であって、各前記ビデオ・データ・セグメントが、前記ビデオ・データ・セグメントが伝送される好ましいライン速度を示すライン速度コードを含むデータ構造体を自身に関連付け、前記ビデオ・データ・セグメントが好ましい順に伝送され、

(a) 前記ライン速度コードを前記データ構造体から読み出すステップであって、前記ライン速度コードに関連付けられたビデオ・データ・セグメントの前記好ましい順に相当する順で前記ライン速度コードを読み出すステップと、

(b) 前記ライン速度コードがライン速度の変更が要求されていることを示しているときに、前記データ構造体に割り込みビットを設定するステップと、

(c) 前記データ構造体を連鎖して進行中のキューを作成するステップと、

(d) 前記メモリ・アクセス回路を使用して前記進行中のキュー中のデータ構造体からデータを読み出すステップと、

(e) 前記割り込みビットが設定されていないときに、前記データ構造体が関連付けられたビデオ・データ・セグメントを既に設定されているライン速度で伝送するステップと、

(f) 前記割り込みビットが設定されているときに、ライン速度変更が要求されているか否かを判定し、変更が要求されているときに前記ライン速度変更を有効にするために可変速度クロックを設定し、更に続いて前記ビデオ・データ・セグメントを伝送するために前記メモリ・アクセス回路による伝送を開始させる、割り込みハンドラ・サブルーチンを起動するステップと、を含む方法。

【請求項14】第1及び第2のそれぞれ複数のビデオ・データ・セグメント中の個々のビデオ・データ・セグメントが、メモリ・アクセス回路の制御の下で伝送されるライン速度を決定する方法であって、前記第1の複数のビデオ・データ・セグメント中の各前記ビデオ・データ・セグメントが、第1の複数のデータ構造体中の1つに自身に関連付け、前記第2の複数のビデオ・データ・セグメント中の各前記ビデオ・データ・セグメントが、第2の複数のデータ構造体中の1つに自身に関連付け、各前記データ構造体が、前記ビデオ・データ・セグメントが伝送される好ましいライン速度を示すライン速度コードを含み、前記第1の複数のビデオ・データ・セグメント中の前記ビデオ・データ・セグメントが、第1の出力ポートを介して第1の好ましい順で伝送され、前記第2の複数のビデオ・データ・セグメント中の前記ビデオ・データ・セグメントが、第2の出力ポートを介して第2の好ましい順で伝送され、

(a) 前記ライン速度コードを前記データ構造体から読み出すステップであって、前記ライン速度コードに関連付けられたビデオ・データ・セグメントの前記第1の好ましい順に相当する順で、前記第1の複数のデータ構造体中のデータ構造体から前記ライン速度コードを読み出し、前記ライン速度コードに関連付けられたビデオ・データ・セグメントの前記第2の好ましい順に相当する順で、前記第2の複数のデータ構造体中のデータ構造体から前記ライン速度コードを読み出すステップと、

(b) 前記ライン速度コードがライン速度の変更が要求されていることを示しているときに、前記データ構造体に割り込みビットを設定するステップと、

(c) 前記データ構造体が前記第1の複数のデータ構造体に含まれるときに、前記データ構造体を連鎖して第1の進行中のキューを作成するステップと、

(d) 前記データ構造体が前記第2の複数のデータ構造体に含まれるときに、前記データ構造体を連鎖して第2の進行中のキューを作成するステップと、

(e) 前記メモリ・アクセス回路を使用して前記第1及び第2の進行中のキュー中のデータ構造体からデータを読み出すステップと、

(f) 前記割り込みビットが設定されていないときに、前記データ構造体に関連付けられた前記ビデオ・データ・セグメントを既に設定されているライン速度で伝送するステップと、

(f) 前記割り込みビットが設定されているときに、ライン速度変更が要求されているか否かを判定し、変更が要求されているときに前記ライン速度変更を有効にするために可変速度クロックを設定し、更に続いて前記ビデオ・データ・セグメントを伝送するために前記メモリ・アクセス回路による伝送を開始させる、割り込みハンドラ・サブルーチンを起動するステップと、を含む方法。

【請求項15】データ構造体に関連付けられたビデオ・データ・セグメントが伝送される伝送チャンネルのライン速度を変える必要性を伝送するデータ構造体を作成する方法であって、前記データ構造体は、データ・バッファ内に保管される複数のデータ構造体に含まれ、前記複数のデータ構造体中のデータ構造体のアドレスが、前記データ構造体に関連付けられた前記ビデオ・データ・セグメントが、前記伝送チャンネルを通じて伝送されるときに好ましい順に相当する順でFIFOバッファの中に保管され、

(a) 前記データ構造体のアドレスを前記FIFOバッファから受信するステップと、

(b) 前記アドレスに保管された前記データ構造体の制御データを読み出すステップと、

(c) 前記制御データの中に割り込み要求が存在するときに、前記データ構造体内のチャンネル制御ワードに割り込みビットを設定するステップと、

(d) 書き込み制御速度データを調べた結果の判定によ

り速度変更が要求されたときに、前記チャンネル制御ワード内に前記割り込みビットを設定し、更にメモリ・アクセス回路がその後に前記データ・バッファ内の前記データ構造体を読み出す動作をディスエーブルするためのビットを設定するステップと、

(e) 前記チャンネル制御ワードを前記データ構造体内のチャンネル記述子ブロックに書き込むステップと、

(f) 前記データ構造体を連鎖し、前記伝送チャンネルに関連付けられた進行中のキューを作成するステップと、

(g) 前記FIFOバッファからの別のデータ構造体に関する別のアドレスの受信を待つステップと、を含む方法。

【請求項16】請求項15のステップ(e)と(f)との間に、

(a) 前記データ構造体に関連付けられたビデオ・データ・セグメントの伝送を制御するための、前記データ・バッファ内の前記データ構造体をアクセスするメモリ・アクセス回路がオンになっているか否かを判定するステップと、

(b) 前記メモリ・アクセス回路がオンになっていない場合に、前記チャンネル制御ワードを前記メモリ・アクセス回路のレジスタに書き込み、前記データ構造体に前記伝送チャンネルを通じたデータ伝送のタイミングをとるパルスを供給する可変速度クロックを設定し、前記進行中のキューの先頭を指すポインタを設定し、更に前記メモリ・アクセス回路をオンにするステップと、を更に含む、請求項15に記載の方法。

【請求項17】伝送チャンネルを通じて複数のビデオ・データ・セグメントを伝送するタイミングをとるパルスを供給する可変速度クロックの速度を設定する方法であって、前記複数のビデオ・データ・セグメント中の各ビデオ・データ・セグメントがデータ・バッファに保管され、前記複数のビデオ・データ・セグメント中の各ビデオ・データ・セグメントが、チャンネル制御ワードを含むデータ構造体に関連付けられ、前記ビデオ・データ・セグメントがライン速度を示すライン速度コードを有し、

(a) 前記チャンネル制御ワードをメモリ・アクセス回路のレジスタに読み出すステップと、

(b) 前記チャンネル制御ワードが、前記メモリ・アクセス回路をディスエーブルにするビットを含むときに、前記メモリ・アクセス回路の前記レジスタに前記チャンネル制御ワードを保持しつつ、前記メモリ・アクセス回路の動作を停止するステップと、

(c) 前記チャンネル制御ワードが割り込みを要求するビットを含むときに、前記メモリ・アクセス回路から割り込みを発行するステップと、

(d) 前記割り込みが発行されたときに、事前の動作が完了前に停止しているか否かを判定するステップと、

(e) 前記事前の動作が完了前に停止しているときに、エラー割り込みを処理するステップと、

(f) 前記事前の動作が完了前に停止していないときに、前記データ構造体内の前記ライン速度コードを使用して、新しいライン速度が要求されているか否かを判定するステップと、

(g) 新しいライン速度が要求されているときに、前記ライン速度コードに従って前記可変速度クロックを設定し、前記メモリ・アクセス回路の動作を開始するステップと、

(h) 新しいライン速度が要求されていないときに、前記メモリ・アクセス回路が動行中か否かを判定するステップと、

(i) 前記メモリ・アクセス回路が動行中ではないときに、前記メモリ・アクセス回路の動作を開始するステップと、を含む方法。

【請求項18】通信カードのコプロセッサで実行されるダウンロード可能なプログラムのサブルーチンがコンピュータにより読み出し可能な形式で書き込まれる記録媒体であって、データ構造体に関連付けられたビデオ・データ・セグメントを伝送する伝送チャンネルのライン速度の変更の必要性を伝達するために前記データ構造体を作成し、前記データ構造体が、データ・バッファ内に保管される複数のデータ構造体に含まれ、前記複数のデータ構造体中のデータ構造体のアドレスが、前記データ構造体に関連付けられた前記ビデオ・データ・セグメントが、前記伝送チャンネルを通じて伝送される際の好ましい順に相当する順でFIFOバッファ中に保管され、前記サブルーチンが、

(a) データ構造体のアドレスの受信を待つステップと、

(b) 前記アドレスに保管された前記データ構造体の制御データを読み出すステップと、

(c) 前記制御データ中に割り込み要求が存在するときに、前記データ構造体中のチャンネル制御ワードに割り込みビットを設定するステップと、

(d) 書き込み制御速度データを調べた結果の判定により速度変更が要求されるときに、前記チャンネル制御ワード内に前記割り込みビットを設定し、更にメモリ・アクセス回路がその後に前記データ・バッファ内の前記データ構造体を読み出す動作をディスエーブルするためのビットを設定するステップと、

(e) 前記チャンネル制御ワードを前記データ構造体内のチャンネル記述子ブロックに書き込むステップと、

(f) 前記データ構造体を連鎖し、前記伝送チャンネルに関連付けられた進行中のキューを作成するステップと、

(g) 前記FIFOバッファからの別のデータ構造体に関する別のアドレスの受信を待つステップと、を含む、該記録媒体。

【請求項19】前記サブルーチンが前記ステップ(e)と(f)との間に、

(a) 前記データ構造体に関連付けられたビデオ・デー

タ・セグメントの伝送を制御するための、前記データ・バッファ内の前記データ構造体をアクセスするメモリ・アクセス回路がオンになっているか否かを判定するステップと、

(b) 前記メモリ・アクセス回路がオンになっていない場合に、前記チャンネル制御ワードを前記メモリ・アクセス回路のレジスタに書き込み、前記データ構造体に前記伝送チャンネルを通じたデータ伝送のタイミングをとるパルスを供給する可変速度クロックを設定し、前記進行中のキューの先頭を示すポインタを設定し、更に前記メモリ・アクセス回路をオンにするステップと、を更に含む、請求項18に記載の記録媒体。

【請求項20】前記記録媒体に通信カードのコプロセッサ内で実行される割り込みハンドラを更に書き込み、前記割り込みハンドラが、

(a) 前記チャンネル制御ワードをメモリ・アクセス回路のレジスタに読み出すステップと、

(b) 前記チャンネル制御ワードが、前記メモリ・アクセス回路をディスエーブルにするビットを含むときに、前記メモリ・アクセス回路の前記レジスタに前記チャンネル制御ワードを保持しつつ、前記メモリ・アクセス回路の動作を停止するステップと、

(c) 前記チャンネル制御ワードが割り込みを要求するビットを含むときに、前記メモリ・アクセス回路から割り込みを発行するステップと、

(d) 前記割り込みが発行されたときに、事前の動作が完了前に停止しているか否かを判定するステップと、

(e) 前記事前の動作が完了前に停止しているときに、エラー割り込みを処理するステップと、

(f) 前記事前の動作が完了前に停止していないときに、前記データ構造体内の前記ライン速度コードを使用して、新しいライン速度が要求されているか否かを判定するステップと、

(g) 新しいライン速度が要求されているときに、前記ライン速度コードに従って前記可変速度クロックを設定し、前記メモリ・アクセス回路の動作を開始するステップと、

(h) 新しいライン速度が要求されていないときに、前記メモリ・アクセス回路が動行中か否かを判定するステップと、

(i) 前記メモリ・アクセス回路が動行中ではないときに、前記メモリ・アクセス回路の動作を開始するステップと、を含む、請求項19に記載の記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、圧縮ビデオ情報を伝送するデータ伝送速度を変更する機能の提供に関連し、更に詳細に述べれば、ビデオ・イメージを滑らかに表示できるように伝送速度を変更する機能に関連する。

【0002】



【従来の技術】本出願は1994年9月8日に出願された、米国特許出願第302,625号、表題「Video-Optimized Media Streamer」に関連する。この出願の出願人は本出願と同一人であり、この出願を必要により参照されたい。

【0003】この同時出願は、「ビデオに適した」コンピュータ・サブシステムについて記述し、このサブシステムは、従来のテレビジョン・インタフェースを介したマルチメディア環境において、同時のデータ・ストリーム送出を可能にする。この種のビデオ・ストリーマは、同時データ・ストリームの送出に最適であり、ATM（非同期転送モード）技術を使用して新しいコンピュータ・ネットワークにデータを流すことができる。このシステムは拡大及び縮小させ、1個から数千個までの個別に制御されるデータ・ストリームをエンド・ユーザに送出できる。このシステムは、単一のデータのコピーを使用して多数の同時データ・ストリームを送出できる。出力インタフェースとデータ伝送速度の様々な組み合わせが許容される。

【0004】動画及び他の形式のビデオの再生は、一般的に多少旧式の技術を使用して実施される。この技術の主要記憶媒体はビデオ・テープであり、テープ上にテレビジョン信号がアナログ形式で記録される。この種の記憶媒体が使用される装置は、家庭用VHS（登録商標）VCR（ビデオ・カセット・レコーダ）から、テレビスタジオや放送局で使用される1台75,000ドルから150,000ドルもするD1 VTR（ビデオ・テープ・レコーダ）まである。放送業界では、この装置が一度に1つの機能を実行するためにしか使用できないという点から、これらの高価な装置に特別な制約が生じる。更にテープのロードとアンロードに要する労力、及びテープ転送装置、テープ・ヘッド、またテープ自身の磨耗の蓄積により、テープ・プロセスの効率が制限される。特に動画と多数のコマーシャルなどの複数のプログラミングのソースを順につなげるために、テープの編集が必要となきなどは、アナログ・ビデオ・テープは使いにくい。

【0005】ビデオ・データ又はマルチメディア・データは、一般的に放送業界方式又はコンピュータ業界方式のどちらかの方法でエンド・ユーザに送出される。放送業界方式では、一般的にアナログ又はデジタルで記録されたテープの形式でのデータの記憶が行われる。コンピュータ業界方式では、一般的にディスク又はテープで増強したディスク上に圧縮されたデジタル形式で記録されたデータ記憶を行う。

【0006】このような圧縮されたデジタル形式の重要な例は、MPEGビデオ圧縮規格に見ることができ、この規格は、Motion Picture Experts Groupが、CD-ROMディスク上へのビデオ・データの記録、及び標準的テレビジョン受像

機又はコンピュータ・システムのいずれかで、このようなデータの再生を可能にするために開発した。圧縮をしない場合、デジタル・ビデオではビデオ帯域幅と記憶容量の要求が非常に大きくなる。「Video Compression for Multimedia」、A P Professional, p. 8でJan Ozerが説明した例では、典型的な非圧縮ビデオ・ファイルの解像度は320×240ピクセルであり、各フレームに76,800ピクセルが存在する。したがって、24ビット・カラーを使用するシステムで各フレームを取り込むには、約230kB（キロバイト）、即ち1.84Mb（メガビット）が必要である。このデータを毎秒15フレームの速度で取り込む場合、この速度はテレビジョン・フレームが伝送される標準速度の半分であるが、必要な帯域幅は3.456MBs（メガバイト/秒）即ち27.7Mbps（メガビット/秒）である。しかし2倍速CD-ROMドライブは約300kB/sしか転送せず、これは要求される帯域幅の10分の1にも満たない。

【0007】同書のJan Ozerの説明pp. 364-365によると、MPEG-1として知られている最初のMPEG規格が、1991年にMPEG委員会により導入された。これは、325×240ピクセルで毎秒30フレーム、データ伝送速度が1.5Mbps（メガビット/秒）の標準イメージ形式（SIF）について定められたビデオ規格である。MPEG-2として知られている2番目のMPEG規格は1994年の春に採択された。これは放送規格であり、毎秒60フレーム、データ伝送速度が4～16Mbpsの範囲の再生について規定している。MPEG-1規格が使用される場合でも、データ伝送速度はデータ伝送中に、例えば1.544Mbps、2.048Mbps、及び3.0Mbpsなどに変更できる。遅いデータ伝送速度では、データの伝送と圧縮解除に対してより簡単なシステムの使用が適し、一方速いデータ伝送速度では、更に多くのピクセル・データを要求するより大きな表示領域、及びより高速でより複雑な動きを含む動画シーケンス、更により高品質な画像を要求するアプリケーションを実行するシステムの使用が適している。

【0008】重要性が増しているMPEG規格に準拠して圧縮されたビデオ・データのアプリケーションの1つは、ケーブル・テレビジョン・システムにMPEG形式で映画を提供するビデオ・サーバとしてコンピュータ・システムを使用することである。これは、例えばホテル施設の客室や居住区の家へ拡張できる。各テレビジョン受像機は、受像機の上に置かれた「セット・トップ・ボックス」を介して、このようなケーブル・システムに接続される。各セット・トップ・ボックスは、MPEG形式で受信されたデータを標準テレビジョン受像機で受信できる形式に変換する。この形式は、北アメリカ、中

央アメリカ、及び日本ではNTSC (National Television Standards Committee) 形式、ヨーロッパの大部分、中東、アフリカ、及び南アメリカではPAL (Phase Alternation Line) 形式、またフランス、ロシア、及びアフリカの一部ではSECAM (Séquentiel Couleurs à Mémoire) である。

【0009】MPEGデータの使用に対する1つの制約は、その生成即ち「取り込み」の費用である。David Moskowitz及びDavid Kerrその他の「OS/2 Warp, Unleashed」、Sams Publishing, pp. 752-753によると、MPEGイメージを取り込むためのアダプタ・ハードウェアの費用は、10,000ドルから20,000ドルであり、サービス・ショップでMPEGデータを生成するには、一般的にビデオ1分当たり100ドルかかる。MPEGデータ生成が複雑であることは、MPEG形式を使用して記録するビデオ・セグメントを編集処理で互いにつなげることは容易だが、いったんセグメントが生成されると、例えば別のデータ伝送速度での伝送用などに、その形式を容易に変更できないことを意味する。このように、データ伝送速度が異なるMPEG形式を使用して記録されている個々のビデオ・セグメントを順次つなげる必要があるときに、常に問題が発生する。即ち、コンピューティング・システムで使用する通信カードには、データ伝送速度が異なるMPEGデータを伝送する能力が備わり、またこのようなデータを受信するセット・トップ・ボックスには、複数のデータ伝送速度で受信する能力が備わっているが、求められることは、セット・トップ・ボックスに接続するテレビジョン・モニタを見る人にとって、「離れ目がなく」又は滑らかに見えるように、伝送速度が異なるセグメントを順次伝送する方法である。

【0010】

【発明が解決しようとする課題】データ伝送速度の変更に関連する米国特許は多数あるが、その中に伝送速度が異なるデータを順次滑らかに表示する方法を開示するものはない。特に、例えばNTSC形式に準拠して符号化された滑らかなビデオ信号を生成できるように、圧縮されたビデオ・データの packets を連続的に異なる伝送速度で送出する問題については議論されていない。例えば、Otaniの米国特許第5,367,522号は、マルチメディア通信装置について述べている。ここでは、滑らかなマルチメディア通信を可能にするために、データ・タイプ・メディア情報以外の情報の組み合わせ状況に応じた柔軟な方法で、データ伝送速度が変更される。この装置はデータ情報の受信中に、制御データを遅い速度で伝送し、音声やイメージなどのその他のメディア情報を速い速度で伝送するように調整される。データ

情報を伝送する場合、データ情報の種類及びデータ情報以外のメディア情報のタイプの組み合わせ状況により、第1の選択手段が、データ情報の最適な最高伝送速度を選択する。第2の選択手段は、データ情報の種類により必要となる最小の伝送速度を選択する。またMaxwell、他による米国特許第4,924,456号は、リモート・モデムとの接続シーケンス中の低速全二重動作、及びデータ伝送のための高速半二重動作への自動切り替えを含むデータ伝送プロトコルを備えたモデムについて記述している。更にモデム・データ伝送には、低速の対話動作と高速動作との間をデータ伝送要求に基づき透過的に変更することが含まれる。これは、伝送データ・バッファの内容を監視し、モデム・トランスミッタにモード制御コマンドを与えるプロセッサにより制御される操作で実施される。

【0011】特許のこの他の例では、特に信号の伝送速度を一致させるための伝送インタフェース、又はモデムの切り替えに関連する。例えばLese、他の米国特許第4,761,800号は、端末とデータ・モジュールとの間のデータのカップリングのための非同期インタフェースについて記述する。このインタフェースは、伝送されているデータの速度を判定する必要があるときは常に、最初に受信した文字のスタート・ビットの期間を測定するために、インタフェースに計数回路を設けることにより、伝送されているデータの速度を判定する。次にインタフェースは新しく判定されたデータ伝送速度に調整され、新しい速度で第1の文字及び引き続く文字のそれ以外のビットを受信する。またUeno、他の米国特許第5,208,831号は、ネットワーク・インタフェース・システムについて記述する。このシステムは、インタフェース内に設けられた検出器と選択器を使用して、異なるデータ伝送速度をもつ個々のネットワーク・ステーションに自動的に接続できる。

【0012】自己計時非同期データの受信について、Wilson、他の米国特許第4,616,314号が記述している。ここでは、マイクロコンピュータを備え、3つの信号線をもつバスと結合されたデータ・レシーバが開示されている。3つの信号線の第1及び第2の信号線と結合する第1の排他ORゲートにより、データ・ブロックのビットが検出される。割り込み制御信号及び第1の排他ORゲートの出力が結合され、第2の排他ORゲートに入る。このゲートから割り込み信号が生成され、受信マイクロコンピュータの割り込み入力に結合される。マイクロコンピュータは、データ・ビットに応じて割り込まれ、割り込み制御信号のバイナリ状態を変更し、データ・ビット間のアイドル状態の割り込みを生成する。データ・ビット間のアイドル状態により割り込まれると、受信マイクロコンピュータは、割り込みデータ・ビットのバイナリ状態を変更し、戻りデータのビットを第3のデータ線に供給する。受信されたデータ・プロ



ックには、アドレスとデータ部分を入れることができる。

【0013】プログラム・セグメント及びコマーシャル・セグメントの順次伝送については、Baji、他の米国特許第5,027,400号に記述されている。この特許は、放送局と視聴者端末を含むマルチメディア双方向放送システムについて述べている。伝送は、ATM（非同期転送モード）交換機を介し、広帯域ISDN（統合サービス・デジタル網）を通じて行われる。これは現行の電話回線網又はケーブル・テレビジョン・システムから発展した、全世界的なネットワークの形式をもつ。放送局には、プログラム・データ（例えば動画）を伝送するために、プログラム・データ・ベースにアクセスするプログラム・トランスミッタ、及びコマーシャルを伝送するために、コマーシャル・データ・ベースにアクセスするコマーシャル・トランスミッタを含む。プログラム・トランスミッタとコマーシャル・トランスミッタを交互に操作することは、主制御装置内に作成された設定を使用して行われる。視聴者は特定の条件の下で、プログラムの選択とは独立して、表示するコマーシャルを決定する。プログラム情報には、コマーシャルを挿入する時間を示すインデックスを含めることができる。動画のプログラム情報と静止画コマーシャルの組み合わせを考慮しているが、データ伝送速度が異なる圧縮動画データとコマーシャル・データの順次伝送については考慮していない。

【0014】

【課題を解決するための手段】本発明の1つの特徴に従って、デジタルに符号化された伝送速度情報を含む、複数のデジタル・ビデオ・データ・セグメントの形で到来するビデオ・データを伝送する方法を提供する。ビデオ・データ・セグメントは、伝送される順番に並んだ好ましい順に到来する。この方法には、データ・バッファへの各ビデオ・データ・セグメントの保管、各ビデオ・データ・セグメントに対応する複数のデータ構造体の構築、好ましい順に一致する順での各データ構造体からの情報の読み込み、及び可変速度クロックの設定が含まれる。このクロックは、次に伝送するビデオ・データ・セグメントに対応する特定のデータ構造体の中のライン速度コードに指示されて、伝送ライン速度の変更が要求されたときに、ビデオ・データの伝送のタイミングをとるパルスを提供するためのものである。データ・バッファに保管される各データ構造体には、そのデータ構造体に対応するビデオ・データ・セグメントへのポインタ、及び符号化された伝送から得られるライン速度コードが含まれる。

【0015】

【発明の実施の形態】図1は、本発明が適用されるネットワークのブロック図である。コンピューティング・システムを構成するビデオ・サーバ12から、各テレビジ

ョン受像機10に接続するセット・トップ・ボックス14を介して複数のテレビジョン受像機10に動画が送出される。

【0016】各セット・トップ・ボックス14は、例えばWashington州Seattle市のStellar One Corporation（登録商標）が販売するStellar 1000 Interactive Digital Video Terminalがある。この装置はMPEG-1、MPEG-1+、又はMPEG-2の入力を処理し、NTSC又はPAL形式の入力をテレビ受像機に提供する。入力は、T1方式の1.544Mbps、E1方式の2.048Mbps、又はADSL-3方式の6.4Mbpsが処理可能である。

【0017】ビデオ・サーバ12には従来より使用されている構成要素が多数含まれる。これにはプロセッサ16、DASD（直接アクセス記憶装置）装置20、21及びシステム・バス22が含まれる。DASD装置20、21は、ハード・ファイル又はフロッピー・ディスク・ファイルなどの磁気メモリ装置、及びCD-ROM（コンパクト・ディスク読み取り専用メモリ）ドライブが含まれる。システム・バス22には、システムRAM（ランダム・アクセス・メモリ）メモリ24、及びシステムDMA（直接メモリ・アクセス）回路25も接続される。システムDMA回路は、システム・メモリ24へのアクセスを制御する。本発明の操作に必要なデータ伝送速度を達成するには、システム・バス22にはIBM Micro Channel（登録商標）バス、又はPCI（周辺機器相互接続）バスを使用することが望ましい。

【0018】通信カード26もシステム・バス22に接続され、拡張された通信機能を提供する。この通信カード26には、例えばIBM ARTIC960（A Real-Time Interface Coprocessor）アダプタ・カードを使用できるが、このカードは、メモリ・コントローラ31に接続されたコプロセッサ28とカードRAMメモリ30を備える。メモリ・コントローラは、順にCFE（共通フロント・エンド）バス32に接続される。このCFEバスは、順にバス・インタフェース回路34を介してシステム・バス22に接続される。CFEバス32は、アプリケーション・インタフェース・カード40上にも延び、このカード上で出力DMA回路42に接続される。

【0019】アプリケーション・インタフェース・カード40は、子カードとして通信カード26に接続され、アプリケーション・インタフェース・カード40のタイプの違いにより、4個（図示する）、8個、又は16個の出力ポート46を含む。これらの各ポートは、出力DMA回路42から延びるAIB（アプリケーション・インタフェース・バス）バス47を介して駆動される。各

出力ポート46は、出力線48に接続される。可変速度クロック回路48aも各出力ポート46に関連付けられる。各クロック回路48aは、コプロセッサ28によりアクセスされるドライバ・イネーブル・レジスタ（図示せず）に関連付けられている。このドライバ・イネーブル・レジスタは、選択対象となる異なるクロック速度の数により1ビット又は2ビットをもち、これらのビットが、クロックの速度を決定するように設定される。各出力ポート46に関連するクロック回路48aからパルスが駆動されると、出力DMA回路42が、各出力ポート46を介してカードRAMメモリ30内に保管されるビデオ・データを駆動する。出力DMA回路42は、内蔵RAMメモリ48bも備え、このメモリは、各出力ポート46を通るデータの流れ道の制御に使用される制御ワードの一時的保管に使用される。

【0020】カードRAMメモリ30はデータ・バッファ49を含み、このバッファはビデオ・データ及び制御データの一時的保管、ならびに出力ポート46、FIFOバッファ50及びポインタ・バッファ50aに関連付けられる各チャンネルに使用される。データ・バッファ49が備えるバッファリング機能により、データが通信カード26に送られる伝送速度を、データが出力ポート46から伝送される速度と異なるようにすることができる。データがデータ・バッファ49から読み込まれるとき、必要なときにデータが使用できないことがないように、メモリ・コントローラ31は、メモリ30が空になることを防ぐ十分な速度でメモリ30にデータが書き込まれることを保証する必要がある。またカードRAMメモリ30が一杯になり、その結果データが損失するような速度でデータがメモリに書き込まれないように保証する必要がある。

【0021】以上のように、図1で示すシステムの動作中、動画などのプログラミング及びコマーシャルの順次セグメントを構成するデータは、DASD装置20、21から読み出され、順次出力として4つの出力線48に供給される。各セット・トップ・ボックス14は、チャンネル・セクタ・スイッチ51を介してこれらの各出力線48と交互に接続されるので、その結果、各視聴者はいつでも出力線48の任意の1つを介して駆動される情報から得られるテレビジョン画像を見ることができる。前述のように、図1に示すアプリケーション・カードは、出力ポート46を4個のみもつが、このカードは、8個又は16個の出力ポートをもつアプリケーション・インタフェース・カードと置き換えることが可能であり、これらは各視聴者に更に多数のチャンネルを選択できるようにする。更に、システム・バス22の容量が一杯になるときのシステムの能力を限度として、コンピュータ・システム12のシステム・バス22に接続するスロットに複数の通信カード26を装備できる。

【0022】図2は、本発明を使用する代替ネットワー

クのブロック図である。ビデオ・サーバとして使用するコンピューティング装置12は、図1を参照した前述の説明と同様のものである。各出力線48がセット・トップ・ボックス14に接続され、これがテレビジョン受像機10に接続される。言い替えると、各セット・トップ・ボックス14は、ビデオ・サーバ12の個々の出力ポート46（図1参照）に配線される。制御ボックス52が各テレビジョン受像機10に関連付けられ、ビデオ・サーバ12に入力を供給する。各制御ボックス52の出力は、チャンネル選択データを提供し、その結果、選択されたプログラミングが特定の出力線48を介して提供される。またビデオ情報表示の開始、停止、及び巻き戻しの機能を提供する他の制御も、出力線48を介して提供される。ここでも単一の通信カード26（図1参照）に最大16本の出力線48を設けることが可能であり、複数枚のこのようなカードをビデオ・サーバ12に装備できる。

【0023】図3は、コプロセッサ28（図1参照）内で実行されるアプリケーション・プログラム54の概略のブロック図である。このアプリケーション・プログラム54は、出力ポート46（図1参照）からのビデオ・データの伝送を行えるようにするためのデバイス・ドライバ55を含む。デバイス・ドライバ55は、実行時に実行される実行時サブルーチン56と、割り込みを処理するときに実行される割り込みハンドラ58を含む。

【0024】図4は、単一出力ポート46（図1参照）を介したビデオ・データの出力の制御に使用される、複数のWCB（書き込み制御ブロック）の略図である。例えばWCB60として示すものは、動画の第1の部分と関連付けられる特定のパラメータをもち、その後異なるデータ伝送速度のコマーシャルが続き、その後今度は動画の第2の部分が続く。

【0025】ビデオ・データとこれに関連する制御情報のデータ・バッファ49への保管の一般的な流れについて、図1と図4を参照しながら説明する。各ビデオ・データ・セグメントは、例えばMPEG-1形式などを使用した圧縮形式で記憶されている。ビデオ・データ・セグメントの典型的なサイズは、64Kバイトより1バイト少ない大きさであり、これによって完全な64Kバイトの使用によって生ずる問題を避けることができる。このセグメントは、例えばデータが伝送されるチャンネル又は出力ポート46、データが伝送されるライン速度、及びビデオ・データ・セグメント自身の長さなどを識別する制御情報を含む。ビデオ・データ・セグメントは、プロセッサ16で実行されるアプリケーション・プログラムによってシステムRAMメモリ24に読み出せる形式で、DASD装置20、21のどちらか、又はこの両方に保管される。各出力チャンネルへ向かうビデオ・データ・セグメントからのデータ（即ち各出力ポート46を介した伝送のためのデータ）は、システム・プロセッサ16

で実行されるアプリケーション・プログラムの制御により、システム・バス22を介して通信カード26に正しい順番で送信される。

【0026】コプロセッサ28で実行されるアプリケーション・プログラム54は、ビデオ・データ構造体をカードRAMメモリ30のデータ・バッファ部分49に保管し、各ビデオ・データ・セグメント用のWCB60などのWCBを生成する。各WCBは複数のパラメータを含むデータ構造体であり、これらのパラメータは、WCBに関連付けられたビデオ・データの特定のセグメントについて行うべきことを記述する。一般的に、複数のビデオ・データ・セグメントに対してさまざまなチャンネルを組み合わせて、複数のチャンネルが同時に使用されるが、各ビデオ・データ・セグメントに関連付けられた制御情報が、それぞれのセグメントが送出されるチャンネルを決定するために使用される。アプリケーション・プログラム54が各WCBを生成するときに、それぞれのビデオ・データ・セグメントを送信する特定のチャンネルを識別するデータを使用して、このチャンネルを識別する「devhandle」（デバイス・ハンドル）と呼ばれる変数を作成する。

【0027】本発明は、異なるライン速度（即ちデータ伝送速度）でビデオ・セグメントを順次伝送できる特有のプロセスを提供する。このように、各WCBのデータは変数「bitratetrans」を含み、この変数が、WCBに関連付けられたビデオ・セグメントを伝送するライン速度を識別する。ビデオ伝送開始時の最初のビデオ・データ・セグメント、又は速度変更後の最初のビデオ・データ・セグメントに関連付けられたWCBは、所要のライン速度に従って定められた非ゼロの値が入った「bitratetrans」変数をもつ。これ以外のビデオ・データ・セグメントに関連付けられたWCBは、値がゼロの「bitratetrans」変数をもち、これはライン速度が変化しないことを表す。

【0028】通信カード40では、ビデオ・データ・セグメントが到来する順の情報と、各ビデオ・データ・セグメントに関連付けられる出力チャンネルの情報とを用い、アプリケーション・プログラム54を用いれば、各出力チャンネルからのビデオ・データの伝送のために、WCBとビデオ・データ・セグメントをどのような順にするかを決定することが十分可能である。このアプリケーション・プログラムは、コプロセッサ28で実行され、ビデオ・データ・セグメントを受信してデータ・バッファ49に保管する。そのため、このメモリ（バッファ）はビデオ伝送プロセスの中でバッファとして使用できる。このように、アプリケーション・プログラム54の制御の下で、各ビデオ・データ・セグメントからのデー

タは、データ・バッファ49に個別に保管され、各ビデオ・データ・セグメントに対応するWCBが、データ・バッファ49の別の部分に書き込まれて保管される。また各WCBが保管されるアドレスは、カードRAMメモリ30の別の部分を形成するアドレスFIFOバッファ50に書き込まれる。これらのアドレスは、対応するビデオ・データ・セグメントが受信された順と同じ順に保管され、後にこの順で取り出される。更にWCBに対応するビデオ・データ・セグメントが保管された関連アドレスが、「\*writebuffer」ポインタの形式でWCBデータに書き込まれる。以上のように、各FIFOバッファ50には、このバッファに関連付けられた出力ポート46を介して伝送される、ビデオ・データ・セグメントに関連付けられたWCBのアドレスが入る。これらのアドレスは、ビデオ・データ・セグメントの順になっている。

【0029】ビデオ・データ・セグメントは長さも変えられるので、アプリケーション・プログラム54は、ビデオ・データ・セグメントの一部として保管されている制御データから、各ビデオ・データ・セグメントの長さを取り出し、これをビデオ・データ・セグメントに関連付けられたWCBのデータの中に「length」変数の形式で書き込む。しかし実際にはほとんどのWCBの長さは、出力DMA回路42が伝送可能な最大長（例えば64K-1バイト）である。

【0030】WCB60などのデータ構造体の詳細な内容及び用途について、引き続き図1、図3、及び図4を参照しながら説明する。DMA回路42の機能は、優先順位が同じである複数のチャンネルに分割され、各チャンネルは、出力ポート46の1つを介してデータを駆動する。そのため、アプリケーション・インタフェース・カード40の違いにより、チャンネル数は4、8、又は16になる。各チャンネルは、DMA回路42の内部メモリ構造体48bである、32ビットCCR（チャンネル制御レジスタ）を含む関連レジスタ59で制御される。チャンネル上の単一のビデオ・データ・セグメントを伝送するために、出力DMA回路42をプログラムするプロセスでCDB（チャンネル記述子ブロック）が作成され、そのチャンネルに関連付けられたレジスタ59に書き込まれる。WCB60の例に示すように、各WCBは、データ・バッファ49に保管された関連ビデオ・データ・セグメントのアドレスを示すポインタ62、ビデオ・データが出力として供給されるライン速度を示すライン速度コード64、及びCDB66を含む。各CDB66はCCW（チャンネル制御ワード）68を含み、このCCWは、出力DMA回路42が実行する特定の動作を示す。

表1 CDB（チャンネル記述子ブロック）の構造

```
struct cdb{
    RIC_ULONG dmabytecount; /*伝送されたバイト数*/
```

```

RIC_ULONG oplreaddata; /*AIBバス読み出しデータ*/
RIC_ULONG op2readdata; /*AIBバス読み出しデータ*/
RIC_ULONG aibopaddr; /*AIBアドレス*/
RIC_ULONG oplwritedata; /*AIBバス・データ*/
RIC_ULONG op2writedata; /*AIBバス・データ*/
RIC_ULONG memptr; /*メモリへのポインタ*/
RIC_ULONG dmaiolen; /*伝送するバイト長*/
RIC_ULONG chainpointer; /*CDBチェーン*/
RIC_ULONG channelctrl; /*チャンネル制御ワード*/

```

【0031】表1は、各CDBの構造体の定義を示す。ここで「RIC」は、パラメータがARTICインタフェース・コプロセッサ用に定義されることを示す。変数「dmabytcount」は、出力DMA回路42により前のCDBに伝送されたバイト数を示す。変数「oplreaddata」、「op2readdata」、「aibopaddr」、「oplwritedata」、「op2writedata」はこのデータ伝送操作では使用されないが、CDB66内の情報

の位置を維持するためにゼロで埋められている。変数「memptr」は図4ではポインタ62で示されるが、現在のCDB66に関連付けられたデータ・バッファ49内のビデオ・データを指す。変数「dmaiolen」は伝送するバッファ内のバイト数を示す。変数「chainpointer」はデータ・バッファ49内の次のCDBを指す。変数「channelctrl」は図4でCCW（チャンネル制御ワード）として示されるが、出力DMA回路42が実行する動作を示す。

表2 WCB（書き込み制御ブロック）の構造

```

struct rcss_i_write
{
    RIC_ULONG cmd; /*機能コード*/
    RIC_PROCESSID processid; /*呼び出しプロセスid*/
    RIC_ULONG devhandle; /*デバイス・ハンドル*/
    RIC_ULONG retcode; /*戻りコード*/
    RIC_ULONG reqint; /*割り込み要求*/
    struct rcss_i_write *nextptr; /*キューの次の要素のポインタ*/
    RIC_ULONG writestatus; /*ステータス・ビット*/
    RIC_ULONG writecount; /*書き込まれた文字数*/
    unsigned char *writebuffer; /*アプリケーション出力バッファのアドレス*/
    RIC_ULONG length; /*書き込み完了時間*/
    unsigned char typewrite; /*書き込みタイプ*/
    unsigned char typepost; /*プロセッサへの通知に使用*/
    unsigned char bitratetrans; /*秒当たりの伝送ビット*/
    unsigned char reserved1[9]; /*将来の用途に予約*/
    struct cdb cdb; /*チャンネル記述子ブロック書き込み*/

    struct cdb dymmycdb; /*ダミー・ブロック*/
    struct rcss_i_write *cnextptr; /*完了キューの次の要素へのポインタ*/

    unsigned char ioproc; /*iscsが使用*/
}

```

【0032】表2は、各WCB60の構造の定義を示す。この中で、「cmd」変数は実行する動作のタイプを示す機能コードを提供する。このような動作の例には、オープン、クローズ、シャットダウン、及びリセットが挙げられる。変数「processid」は、ドライバを呼び出しているプロセスが、ポートを使用する許可を得ているか否かを判定するために、呼び出しプロセスを識別する。変数「devhandle」は、そのWCBに関連付けられたビデオ・データ・セグメントが伝

送されるとき通るチャンネル（即ち出力ポート46）を識別する。変数「retcode」は、許されていない動作が要求された場合に、ドライバが値を入れる。変数「reqint」は、割り込みが要求されたことを意味する。ポインタ「\*nextptr」は次のWCBを示し、WCB間をリンクする。変数「writestatus」は、アンダーランなどのエラーが発生した場合に、ドライバが値を入れる。変数「writecount」にもドライバが値を入れて、書き込まれた文字数を

ユーザに伝える。ポインタ「writebuffer」は、この特定のWCBに関連付けられたデータ・バッファ49内のビデオ・データを示す。変数「length」は、書き込む文字数を示す。変数「typewrite」と「typepost」は使用されない。

【0033】変数「bitratetrans」は、図4ではライン速度コード64で示され、WCBに関連付けられたビデオ・データの伝送が行われるときの速度を示す。ライン速度コードの値が1の場合、ビデオ・データが1.544Mbpsで伝送されることを示す。ライン速度コードの値が2の場合、ビデオ・データが2.048Mbpsで伝送されることを示す。ライン速度コードの値が3の場合、ビデオ・データが3.088Mbpsで伝送されることを示す。ライン速度コードの値がゼロのときは、ライン速度が前のWCBの速度と同じであることを意味する。このように値がゼロでないライン速度コードは、一般的にライン速度が変更されるときだけ与えられる。

【0034】変数「reserved1[9]」は使用されない。変数「cdb」は、CDB（チャネル記述子ブロック）に書き込むことを示す。変数「dummycdb」は、次のCDBへのポインタ「nextptr」が書き込まれなかった場合に、出力DMA回路42を停止するダミーcdbである。この「dummycdb」機能は、特定のエラー条件が発生した場合、及びビデオ・プログラムの最後で使用される。変数「ioproc」は使用されない。

【0035】図4の例では、第1の動画セグメントが第1のWCB60に対応する。このWCBには、データ・バッファ49内の第1の動画データを示すポインタ62が含まれる。このWCB60のライン速度コード64の値は1であり、1.544Mbpsのライン速度が使用されることを示す。このWCB60のCCW68は、割り込みの発生を要求するように設定される。この割り込みは、出力DMA回路42が動作している場合はそれを停止し、プロセスが初期化されるようにする。この動画セグメントからのデータの伝送は、複数のWCB70を使って継続される。それぞれのWCBは、動画データへのポインタ72及び値がゼロのライン速度コード74をもち、これはライン速度が変更されないことを意味するので、CCW76は割り込みを要求しないように設定される。

【0036】この第1の動画セグメントに続いて、これより速いライン速度、即ちデータ伝送速度をもつコマーシャル・セグメントが供給される。このコマーシャル・セグメントの開始は、WCB78により示され、このWCBは、このコマーシャル・セグメントの第1のビデオ・データを示すポインタ80を含む。ライン速度コード82の値2は、ビデオ・データが2.048Mbpsの速度で伝送されることを示す。CCW84は、割り込みを

要求し、出力DMA回路42を停止して要求されるライン速度の変更に対処させるように設定される。このコマーシャル・セグメントからのデータの伝送は、複数のWCB86によって継続される。これらのWCBは、それぞれコマーシャル・データへのポインタ88、及び値がゼロのライン速度コード90をもち、ライン速度が変更されないことを示すので、CCW92は割り込みを要求しないように設定される。

【0037】このコマーシャル・セグメントに続いて、WCB93により第2の動画セグメントが開始される。このWCBは、この第2のセグメントからの第1のビデオ・データへのポインタ94をもつ。ライン速度コード96の値が1であり、ライン速度は1.544Mbpsに戻る。ライン速度が変更されたので、CCW98は割り込みを要求し、出力DMA回路42を停止するように設定される。この動画セグメントは複数のWCB100によって継続される。これらのWCBのそれぞれが、動画の次のデータを示すポインタ102、及び値がゼロのライン速度コード104をもつので、ライン速度は変更されない。CCW106は割り込みを要求しないように設定される。

【0038】図5は、コプロセッサ28（図1参照）で実行されアプリケーション・プログラム54（図3参照）の、実行時サブルーチン56の流れ図である。

【0039】図1、図3、及び図5を参照すると、上記の実行時サブルーチン56を実行するアプリケーション・プログラム54の一部は、アプリケーションの実行時に各FIFOバッファ50からアドレスを読み出す。この実行時が開始されると、実行時サブルーチン56は開始ブロック110から始め、FIFOバッファ50の1つからアドレスが受信されるのを待つ。ブロック112でこのようなアドレスが受信されると、ブロック114でサブルーチン56はそのアドレスのWCBデータを読み出す。次に判断ブロック116でこのデータが調べられ、割り込みが要求されたことを示すフラグ・ビットが設定されているか否かが判定される。このフラグ・ビットは、表2の「reqint」変数の値を表す。このフラグ・ビットが設定されていて、割り込みが要求されたことを示すときは、ブロック118でWCBのCCW（チャネル制御ワード）部分の「割り込み」ビットが設定される。割り込みフラグ・ビットが設定されていないときは、この部分の「割り込み」ビットは既にリセットされているので、何も実行されない。

【0040】どちらのときも、次に判断ブロック120でWCBデータが調べられ、ライン速度の変更が必要かどうか判定される。これは表2の「bitratetrans」変数に関連付けられたビットを調べて判定する。この変数の値がゼロ（伝送の開始時にはゼロになることはない）のときは、速度変更は要求されないで、ブロック122でCCWが形成されるレジスタにビット

が設定され、出力DMA回路42がイネーブルにされる。一方「bitratetrans」変数の値がゼロでないときは、ブロック124で「int」ビット、及び出力DMA回路42をディスエーブルにするビットがCCWレジスタに設定される。どちらのときもCCWはこの時点までに完全に作成されているので、ブロック126では、WCBの一部である表2の「devhandle」変数により識別される、特定の出力チャンネルに関連付けられたCDB（チャンネル記述子ブロック）に、このCCWが書き込まれる。

【0041】次に、判断ブロック128で出力DMA回路42が動作中かどうか判定される。この時点で、このDMA回路42はプログラム供給の先頭フレームの場合を除き、動作中のはずである。先頭フレームでは、出力DMA回路42は、その時点で対象となるWCBの「devhandle」変数が識別される、特定のチャンネル用にまだ動作開始していない。したがって、このDMA回路42が動作中ではないと判断されたとき、この回路はブロック130で動作開始される。またブロック130では、現行のWCBはプログラム供給の先頭のビデオ・セグメントに対応すると判定されているので、クロック速度が、表2の「bitratetrans」変数の値に従って設定される。

【0042】前述の通りDMA回路42は、表1に示す構造をもつCDBを、CDBに関連付けられたビデオ・セグメントの伝送が実施されるチャンネルに関連付けられたレジスタ59に書き込むことによって、プログラムされる必要がある。プログラム供給の先頭のビデオ・セグメントのときは、WCBのCDBは、実行時サブルーチン56のブロック130でレジスタ59に書き込まれる。この先頭のビデオ・セグメントに関連付けられたWCBは、実行時サブルーチン56の各プロセスを通じてきた他のWCBがその後に含まれる、「進行中」のキューの先頭の要素にもなる。またブロック130では、この進行中のキューの先頭が後で分かるように、先頭のビデオ・セグメントに関連付けられたWCBのアドレスを示す進行中のキューの先頭のポインタが、カードRAMメモリ30のポインタ・レジスタ50aに書き込まれる。

【0043】ブロック128でDMAが動作中であると判定されると、実行時サブルーチン56はブロック132に進む。ここでは、現在対象となっているWCBが進行中のキューに連鎖される。この連鎖を可能にするために、実行時ルーチン56は、使用する各WCBのアドレスを一時的に保管する。ブロック132に来到し、実行時ルーチン56は、現在処理しているWCBのアドレスを、データ・バッファ49中の前に処理したWCBのデータ構造体に、ポインタ「chainpointer」として書き込む。このようにして、実行時ルーチン56を通して処理された、WCBを含む進行中のキューが形

成される。このキュー中の次の要素は、ポインタ「chainpointer」により識別される。プログラム供給開始時の先頭のWCBは、判断ブロック128で出力DMA回路42が動作中ではないことにより識別されるが、このWCBは、新しい進行中のキューの先頭である必要があるため、ブロック132の処理は要求されない。どちらの場合も、実行時サブルーチンはブロック130又はブロック132から戻り、ブロック112で次のWCBの受信を待つ。

【0044】ブロック132でWCBが連鎖されて進行中のキューになると、これらの各WCBに対応するビデオ・データ・セグメントが、出力DMA回路42で使用可能になり、適切な出力ポート46から伝送される。出力DMA回路42は、ビデオ・データ・セグメントを各出力ポート46を介して駆動するが、この特定の出力ポート46に関連付けられた可変速度クロック48aが供給するパルスでタイミングをとって伝送する。チャンネルを介して伝送される各ビデオ・データ・セグメントに関連付けられたCDB（チャンネル記述子ブロック）が、そのチャンネルに関連付けられたレジスタ59に書き込まれる。WCBの一部を形成する各CDBの構造は、表1を参照して前に説明した。

【0045】各チャンネルでは、関連する可変速度クロック48aがタイミング・パルスを提供すると、対応するレジスタ59内のCDBの変数「memptr」を定義するビットが定め、データ・バッファ49に存在するアドレスにあるビデオ・データ・セグメントを、DMA回路42が伝送する。次のWCBは、レジスタ59内のCDBの変数「chainpointer」を定義するビットにより、位置が指定される。CDBに関連付けられたビデオ・データ・セグメントが伝送されると、次のCDBがレジスタ59に読み出される。ビデオ・データ・セグメントの伝送が完了すると、伝送されたバイト数が、次のCDBの「dmabytcount」変数に書き込まれ、データ・バッファ49中の次のWCBに保管される。この値が書き込まれる前に、変数「dmabytcount」の値は、すべて桁がFである最高値になっている。出力DMA回路42が、値がゼロのCCWをもつCDBをロードすると、完了したキューの後に、実行時サブルーチン56でまだ処理されていないWCBに対応するCDBに遭遇したことになるので、出力DMA回路は停止する。

【0046】必要な場合は出力DMA回路42は動作を停止し、割り込みを伝送する。これは例えばエラー条件、又はライン速度変更の必要性のための割り込みである。ライン速度変更が必要となるときは、CCW（チャンネル制御ワード）にビットが含まれる。これらのビットは、実行時プログラム56（図5参照）のブロック124で書き込まれたビットであり、DMAをディスエーブルにして割り込みを実行すべきことを示す。DMA回路42



がこれらのビットを読み出すと、回路は動作を停止して割り込みを伝送する。ライン速度の変更が要求されているときは、DMA回路42は、「int」及び「disableDMA」ビットに、これらのビットが実行時サブルーチン56で設定された理由は知らずに反応する。

【0047】図6は、アプリケーション・プログラム54（図3参照）で実行される割り込みハンドラ58の流れ図である。図5を参照して前に説明した実行時サブルーチン56が、ビデオ・データの伝送に関連するWCBの処理に用いられるが、一方で他の機能は実行時には処理できず、そのためこれらは、割り込みハンドラ58の動作中に処理される。このような他の機能には、後続のビデオ・データ・ブロックを異なるライン速度で伝送するための、伝送に関連付けられるクロック速度の変更、エラー割り込みの処理、及び実行時サブルーチン56が処理したWCBに関連付けられたメモリの解放が含まれる。

【0048】図1、図3、及び図6を参照すると、出力DMA回路42が割り込みを発行したときに、割り込みハンドラ58がブロック140で開始する。データの伝送中、出力DMA回路42は、伝送するように割り当てられたビット数から減数しながら、実際に伝送されたデータのビット数をカウントする。この数値がゼロになると、ターミナル・カウント・ビットが設定され、ビデオ伝送の一部が正常に完了したことを示す。しかしこの部分のビデオ伝送が完了する前にエラー条件が発生すると、出力DMA回路42はエラー割り込みを発行し、ターミナル・カウント・ビットが設定される前に、割り込みハンドラ58を開始させる。この場合、判断ブロック142でターミナル・カウントが調べられてから、ブロック144でエラー割り込みが処理される。DMA回路42は、エラー割り込みを発行するために停止しているため、DMA回路もブロック144で再スタートし、エラー・ハンドラ58で要求される操作を完了し、終了ブロック145に進む。

【0049】一方ターミナル・カウントが設定されたときに割り込みが発行される場合は、エラー割り込みを処理する必要がなく、割り込みは各種の他の機能の処理に必要とされる。この条件における割り込み処理の第1のものは、関連出力ポート46から伝送されたビデオ・データ・セグメントに関連付けられたWCBを、進行中のキューから完了したキューに移動して、これらのWCBが占有するデータ・バッファ49のメモリ・スペースを、他の用途に戻すことである。このように、判断ブロック142でターミナル・カウントが設定されていると判定されたときは、割り込みハンドラ58が、ブロック146で「進行中」のキューの先頭を示すポインタで識別されるWCBを調べる。このポインタは、カードRAMメモリ30のポインタ・レジスタ50aに保管されている。このキューのWCBは、実行時サブルーチン5

6のブロック132で連鎖されて一緒にリンクされたリストになっているので、このリストをたどることは容易である。

【0050】各WCBについてこのリストをたどって先に進み、判断ブロック148でリスト上の次のWCBの「dmabytecount」変数を調べてある判断が行われる。この変数は、現在のWCBの「nextptr」変数を使用して見つける。この「dmabytecount」変数が、すべての桁がFである値以外の値に設定されているときは、このWCBに関連付けられたビデオ・データが伝送されたことが明らかなので、ブロック150で次のWCBからデータが読み出され、これが判断ブロック148で調べられる。この処理は、すべての桁が「F」である「databytecount」変数をもつWCBが判断ブロック148で見つかるまで続く。このWCBが見つかった時点で、ブロック152で現在のWCBの前のWCB（即ち伝送されたビデオ・データに対応する最後のWCB）の変数「\*nextptr」にヌル・アドレス（すべてゼロ）を書き込むことにより、WCBのリストの要素間の連鎖が壊される。ポインタ・レジスタでは、進行中のキューの先頭を示すポインタが現在のWCBに移動し、その結果、進行中のキュー中のWCBを検査するこの処理は、現在終了した時点から引き続いて開始される。

【0051】ブロック152の処理が完了すると、現在のWCB（これは現時点では、出力DMA回路42が、出力ポート46を介して関連するビデオ・データを伝送するために使用していないWCBの先頭のものである）が調べられ、出力DMA回路42がライン速度変更の要求があると判定したことによって、割り込みハンドラ58を開始する割り込みが発行されているか否かが判定される。これは、表2を参照して前に説明したWCBの「bitratetrans」変数を調べて判定される。この変数の値がゼロでない場合、この値は、ブロック156で現在の出力チャネルに関連付けられた可変速度クロック48aの速度の設定に使用される。これらのビットが設定されておらずすべてゼロの場合、新しいクロック速度は必要ではない。

【0052】新しい速度が設定されたとき、DMA回路42が停止していることが分かっているため、DMA回路42の動作がブロック160で再び開始される。その他のときは、割り込みハンドラ58が判断ブロック158に進む。ここで出力DMA回路42が動作中か否かが判定される。DMA回路42が動作中ではないとき、ブロック160で再び開始される。

【0053】WCBのデータが上記のように使用される間、WCBデータ構造体はデータ・バッファ49に残っている。これらのデータ構造体が占有したバッファ・スペースが、上記の実行時サブルーチン56を実行するアプリケーション・プログラム54に戻されないと、デー

タ・バッファ49はすぐに一杯になり、新しいWCBを入れることができなくなる。したがって割り込みハンドラ58の残りの処理は、完了したキューに配置されたこれらのWCBに関連したメモリを他の用途のために戻す処理である。この処理はブロック162で始まる。ここで割り込みハンドラ58は、ブロック146でポインタ・レジスタ50aに設定されたポインタを使用して、完了したキューの先頭に進む。次に、現在のWCBの変数「cnextptr」を調べて次のWCBを1つずつ判定しながら、WCBのリストをたどる。この変数がヌル値以外のアドレスに設定されていることが、判断ブロック164で判定された場合、現在のWCBに関連付けられたデータ・バッファ49のメモリがブロック166で解放される。この解放には、現在のWCBの変数「\*writebuffer」と「length」により配置された、WCBの保管に使用されたメモリ及び関連するビデオ・セグメントの保管に使用されたメモリの両方が含まれる。またブロック166では次のWCBがアクセスされる。

【0054】変数「cnextptr」がヌル値に設定されたWCBが、判断ブロック164で見つかり、完了したキューの最後尾まで来たことが判明し、このブロックに関連するメモリは解放されず、割り込みルーチン58が終了ブロック145で終わる。

【0055】コプロセッサ28で上記の割り込みハンドラ58を実行するアプリケーション・プログラム54は、データ・バッファ49内の記憶スペースの使用状況を追跡する。既に伝送されたビデオ・データ・セグメントに関連付けられたWCBが使用する記憶スペースを、取り戻す必要があると見られる場合、アプリケーション・プログラム54は、出力DMA回路42に対して割り込みを発行するように命じる。エラー条件による割り込み、又はライン速度変更のための割り込みを必要とせず、過剰なWCBが処理されることがよくあるので、この機能は必要である。このような割り込みが発行されると、割り込みハンドラ58の操作により、進行中のキューから完了キューにWCBが移されたり、新しい完了キュー中のWCBに関連付けられたデータ記憶スペースが再使用のために戻されたりして、必要な記憶スペースが戻される。

【0056】以上のように、本発明はビデオ・データの供給中にライン速度を効率的に変更する方法を提供する。連鎖によりソフトウェアはWCBのキューを作り、ハードウェアはそれらの各WCBを処理できる。各WCBについて、割り込みオプションが与えられる。ライン速度変更のために要求される各割り込みでは、出力DMA回路42が動作を停止する。このような割り込みが発生すると、割り込みハンドラ58が、1つのWCBのCDB部分からソフトウェアの介入なしに次のWCBに移動する。ライン速度変更の時点で出力DMA回路42が

割り込みを実行し、停止するようにプログラミングすると、リンクでのアイドル時間なしに割り込み時点でライン速度を変更する方法が提供できる。これは、WCBのCDB部分にライン速度情報を提供することにより実現できる。またライン速度変更の可能性を各WCBに関連付けることによっても、データの独立性が与えられる。これは、アプリケーション・プログラム54が、ライン速度変更の前に伝送すべきデータの量を知る必要がなく、代わりにライン速度変更が、特定のビデオ・データ・ブロックに対してリアル・タイムに実行されるためである。

【0057】図1及び図3を参照すると、デバイス・ドライバ55、実行時サブルーチン56、及び割り込みハンドラ58を含むアプリケーション・プログラム54は、取り外し可能なコンピュータ読み出し可能媒体170（ディスクケットやコンパクト・ディスクなど）の形式で与えられることが好ましい。この媒体をこのような媒体を読み出す備え付けのDASD装置21に挿入する。アプリケーション・プログラム54は、ビデオ・サーバ12にロードされてから、DASD装置20などのハードファイルに保管される。サーバ12が「ブート」されるたびに、アプリケーション・プログラム54は、システム・バス22とCFEバス32を介してカードRAMメモリ30にロードされ、ここからコプロセッサ28で実行される。

【0058】図7は、前記

【従来の技術】で参照した、同時出願中で表題「Video-Optimized Media Streamer」の出願に記述された、メディア・ストリーマ180のブロック図である。これは、本発明のプロセスを適用できる代替タイプのシステムである。このシステムは、次に説明する4つの構造的に分かれた構成要素を含み、拡張縮小性、高度な可用性、及び構成の柔軟性を備える。

1) 低遅延スイッチ182・・・データ及び制御情報を通信ノード184、1つ又は複数の記憶ノード186、187、及び1つ又は複数の制御ノード188に送出することを主要業務とする、ハードウェア/マイクロコード構成要素。

2) 通信ノード184・・・外部で定義されたインタフェース（普通は放送業界でよく使用されるNTSC、PAL、D1、又はD2）を介した「再生」（データの同時的送出）、又は「録画」（データの同時的受信）を可能にすることを主要業務とする、ハードウェア/マイクロコード構成要素。ディジタル・ツー・ビデオ・インタフェースは、各通信ノード184の出力に接続される複数のビデオ・ポート185に入ったビデオ・カードで実現される。

3) 記憶ノード186、187・・・ディスクなどの記憶媒体及び関連する記憶装置使用オプションの管理を主

要業務とする、ハードウェア／マイクロコード構成要素。

4) 制御ノード188・・・コンピュータ業界でよく使用される、外部で定義されたサブシステム・インタフェースからの制御コマンドの受信と実行を主要業務とする、ハードウェア／マイクロコード構成要素。

【0059】情報はスイッチ182を介してバケットの形で伝送される。各バケットは、スイッチ182内の各スイッチ・クリップにおいて、個々のクロスバー・スイッチ接続点の切り替え状態を制御する、ヘッダ部分を含む。制御ノード188は低遅延スイッチ182を介したピア・ツー・ピア動作を可能にするために、他のノード（記憶ノード186、187及び通信ノード184）に、必要な情報を提供する。

【0060】図8は、通信ノード184（図7参照）の内部構成要素のブロック図である。

【0061】図7及び図8を参照すると、通信ノード184は、低遅延スイッチ182との通信を可能にするスイッチ・インタフェース兼バッファ・モジュール190を含む。ビデオ・データは、スイッチ・インタフェース兼バッファ・モジュール190とストリーム・バッファ兼通信インタフェース192との間を直接伝送され、ユーザ端末（図示せず）へ伝送される。パーソナル・コンピュータ195は、ソフトウェア・モジュール196及び198を含み、これらはそれぞれ通信ノード制御（ストリーム開始／停止操作など）を提供し、この後の同時データ・ストリームの生成を可能にする。ストリーム・バッファ兼通信インタフェース192への別の入力200は、出力データのフレーム同期化を可能にする。このデータは、自動化制御装置202から受信される。この装置は、順にストリーム・サーバ180の全体的な動作を制御するシステム・コントローラ204により制御される。

【0062】各制御ノード188は、パーソナル・コンピュータとして構成され、低遅延スイッチ182とインタフェースするスイッチ・インタフェース・モジュールを含む。各制御ノード188は、システム・コントローラ204からの入力に応答して、通信ノード184及び記憶ノード186、187に情報を提供し、低遅延スイッチ182を介した所要の相互接続の確立を可能にする。更に制御ノード188は、1つ又は複数のディスク記憶ノード186からの要求データの順位付け、及びストリーム送出インタフェースを介したビデオ・データのユーザ・ディスプレイ端末への送出を可能にするソフトウェアを含む。制御ノード188は更に、低遅延スイッチ182を介して送信されるコマンドにより、テープとディスクの双方の記憶ノード186、187の動作を制御する。

【0063】図1、図7、及び図8を参照すると、図7及び図8のシステムにおいて、本発明の好ましい実施例

では、図8のパーソナル・コンピュータ195は、一般的に図1のビデオ・サーバとして構成される。図8のスイッチ・インタフェース兼バッファ190の機能が、図1のDASD装置20などのハード・ファイルDASD装置に備わる。一方で図8のストリーム・バッファ兼通信インタフェース192の機能が、図1のカードRAMメモリ30に備わる。圧縮ビデオ・データが、通信ポート（図示せず）を介してビデオ・サーバのバス22に供給される。アプリケーション・プログラム54（図3）が、図3及び図4を参照して上記で説明したように、ビデオ・データ構造体のWCBを生成する。このビデオ・データ構造体は、低遅延スイッチ182を介して伝送されるバケットと全く同じ場合もあるし、またこれらのバケットの下位部分の場合もある。

【0064】各通信ノード184からの出力は、圧縮ビデオ・セグメントの形式（即ち非同時モード）で供給され、関連したビデオ・ポート185の中でこの圧縮デジタル・モードから標準テレビジョン形式（NTSC又はPALなど）に変換され、完成する。

【0065】以上のように、本発明は、図1から図6を参照して説明したような単一ビデオ・サーバとして働くコンピューティング・システム、又はもっと大きなシステムの中で通信ノードとして働くコンピューティング・システムに適用できる。単一ビデオ・サーバは、圧縮ビデオ・セグメント形式でビデオ情報を供給し、このセグメントは、順次変化するデータ伝送速度で供給される。より大きなシステムは、ビデオ情報をテレビジョン業界形式（NTSC又はPALなど）で提供し、通信ノード184とビデオ・ポート185との間でデータ伝送速度を順次変化させながら、データが内部伝送される。

【0066】特定の好ましい形式又は実施例を用いて本発明を説明したが、この説明は単に例として示したものであり、部品やプロセス・ステップの組み合わせ及び配置を含む、構成、製造及び使用方法の詳細については、本発明の意図と範囲を逸脱せずに多数の変更が可能であることが理解できるであろう。

【0067】まとめとして、本発明の構成に関して以下の事項を開示する。

【0068】(1) デジタルに符号化された伝送速度情報を含む複数のデジタル・ビデオ・データ・セグメントの形で到来するビデオ・データの伝送方法であって、前記ビデオ・データ・セグメントが好ましい順に到来し、(a) 前記複数のビデオ・データ・セグメント中の各前記ビデオ・データ・セグメントをデータ・バッファに保管するステップと、(b) 複数のデータ構造体を構築するステップであって、前記複数のデータ構造体中の各データ構造体が、前記複数のビデオ・データ・セグメント中の1つと対応し、各前記データ構造体が前記データ・バッファに保管され、各前記データ構造体が、該構造体に対応する前記ビデオ・データ・セグメントを指

すポイント、及び該構造体に対応する前記ビデオ・データ・セグメントの前記符号化された伝送速度情報から得られるライン速度コードを含む、該ステップと、(c) 前記データ構造体に対応する前記ビデオ・データ・セグメントが到来する際の前記好ましい順に相当する順で、各前記データ構造体から情報を読み出すステップと、

(d) 次に伝送されるビデオ・データ・セグメントに対応する特定のデータ構造体中の前記ライン速度コードの指示により、伝送ライン速度の変更が要求されたときに、前記ビデオ・データの伝送のタイミングをとるパルスを供給する可変速度クロックを設定するステップと、を含む方法。

(2) (a) 各前記データ構造体から前記情報を読み出した後に、各前記データ構造体が連鎖され、前記データ構造体に対応した前記ビデオ・データの伝送を待つ進行中のキューを構成し、前記データ・バッファ内のメモリ位置をアクセスするメモリ・アクセス回路の制御の下で前記伝送を行わせるステップと、(b) 前記複数のデータ構造体中の特定のデータ構造体が関連付けられたビデオ・データ・セグメントに対して、前記特定のデータ構造体中の前記ライン速度コードの指示により前記伝送ライン速度の変更が要求されたときに、前記メモリ・アクセス回路からの割り込みを要求する第1のフラグ・ビットを、前記特定のデータ構造体書き込むステップと、(c) 前記第1のフラグ・ビットが、前記メモリ・アクセス回路の動作中のセット条件で見つかったときに、前記割り込みを発行し、割り込みハンドラを開始させるステップと、(d) 前記割り込みハンドラが、前記特定のデータ構造体中の前記ライン速度コードからライン速度変更が要求されたか否かを判定するステップと、(e) 前記割り込みハンドラが、ライン速度変更が要求されたと判定したときに、前記可変速度クロックを設定するステップと、を含む、(1)に記載の方法。

(3) (a) 前記複数のデータ構造体中の特定のデータ構造体が関連付けられたビデオ・データ・セグメントに対して、前記特定のデータ構造体中の前記ライン速度コードの指示により前記伝送ライン速度の変更が要求されたときに、前記メモリ・アクセス回路をディスエーブルにし、前記ビデオ・データ・セグメントの伝送の阻止を要求する第2のフラグ・ビットを前記特定のデータ構造体書き込むステップと、(b) 前記第2のフラグ・ビットが、前記メモリ・アクセス回路の動作中のセット条件で見つかったときに、前記特定のデータ構造体が関連付けられた前記ビデオ・データ・セグメントの伝送を止めるために、前記メモリ・アクセス回路をディスエーブルにするステップと、(c) 前記可変速度クロックを設定した後に、前記割り込みハンドラが前記メモリ・アクセス回路をイネーブルにし、前記特定のデータ構造体が関連付けられた前記ビデオ・データ・セグメントの伝送を許可するステップと、を含む(2)に記載の方法。

(4) 前記第1及び第2のフラグ・ビットが前記データ構造体中の制御ワードの一部を形成し、前記制御ワードが前記メモリ・アクセス回路のレジスタに書き込まれ、前記特定のデータ構造体が関連付けられた前記ビデオ・データ・セグメントの伝送に備えるステップを含む、

(3)に記載の方法。

(5) (a) 前記データ構造体が関連付けられた前記ビデオ・データ・セグメントが、直前のビデオ・データ・セグメントのライン速度と同一のライン速度で伝送されるときに、前記ライン速度コードが第1の値に設定され、前記データ構造体が関連付けられた前記ビデオ・データ・セグメントが、第1のライン速度で伝送されるときに、前記ライン速度コードが第2の値に設定され、更に前記データ構造体が関連付けられた前記ビデオ・データ・セグメントが、第2のライン速度で伝送されるときに、前記ライン速度コードが第3の値に設定されるステップと、(b) 前記ライン速度コードが前記第1の値以外の値に設定されるときに、前記ライン速度コードが、前記ビデオ・データ・セグメントを伝送するライン速度の変更の必要性を示すステップと、を含む(1)に記載の方法。

(6) 前記メモリ・アクセス回路がビデオ・データ・セグメントの伝送を実行中か否かを判定するステップを更に含む方法であって、前記メモリ・アクセス回路が伝送を実行中でないときに、(a) 前記進行中のキューの先頭を指すポイントを前記データ構造体に設定するステップと、(b) 前記メモリ・アクセス回路により前記データ構造体からデータを読み出すステップと、(c) 前記データ構造体中の前記ライン速度コードが示すライン速度に前記可変速度クロックを設定するステップと、

(d) ビデオ・データ・セグメントを伝送するために前記メモリ・アクセス回路による伝送を開始させるステップと、を含む(2)に記載の方法。

(7) デジタルに符号化された伝送速度情報を含む、第1及び第2のそれぞれ複数のデジタル・ビデオ・データ・セグメントの形で到来するビデオ・データの伝送方法であって、前記第1の複数のビデオ・データ・セグメント中のビデオ・データ・セグメントが、第1の出力ポートを介した伝送のために第1の好ましい順で到来し、前記第2の複数のビデオ・データ・セグメント中のビデオ・データ・セグメントが、第2の出力ポートを介した伝送のために第2の好ましい順で到来し、(a) 前記第1及び第2の複数のビデオ・データ・セグメント中の各前記ビデオ・データ・セグメントをデータ・バッファに保管するステップと、(b) 第1及び第2のそれぞれ複数のデータ構造体を構築するステップであって、前記第1の複数のデータ構造体中の各データ構造体が、前記第1の複数のビデオ・データ・セグメント中の1つに対応し、前記第2の複数のデータ構造体中の各データ構造体が、前記第2の複数のビデオ・データ・セグメント

中の1つに対応し、各前記データ構造体が前記データ・バッファに保管され、各前記データ構造体が、該構造体に対応する前記ビデオ・データ・セグメントを指すポインタ、及び該構造体に対応する前記ビデオ・データ・セグメントの前記符号化された伝送速度情報から得られるライン速度コードを含む、該ステップと、(c) 前記データ構造体に対応する前記ビデオ・データ・セグメントが到来する際の前記第1の好ましい順に相当する順で、前記第1の複数のデータ構造体中の各前記データ構造体から情報を読み出し、前記第2の複数のデータ構造体中の各前記データ構造体からの情報を、前記データ構造体に対応する前記ビデオ・データ・セグメントが到来する際の前記第2の好ましい順に相当する順で読み出すステップと、(d) 前記第1の複数のデータ構造体中の特定の前記データ構造体内の前記ライン速度コードの指示により、前記第1の出力ポートを介した伝送ライン速度の変更が要求されたときに、前記第1の複数のデータ構造体中の前記特定のデータ構造体に対応する特定の前記ビデオ・データ・セグメントとして、前記ビデオ・データを伝送するタイミングをとるパルスを供給するように、第1の可変速度クロックを設定するステップと、(e) 前記第2の複数のデータ構造体中の特定の前記データ構造体内の前記ライン速度コードの指示により、前記第2の出力ポートを介した伝送ライン速度の変更が要求されたときに、前記第2の複数のデータ構造体中の前記特定のデータ構造体に対応する特定の前記ビデオ・データ・セグメントとして、前記ビデオ・データを伝送するタイミングをとるパルスを供給するように、第2の可変速度クロックを設定するステップと、を含む方法。

(8) (a) 前記第1の複数のデータ構造体中の各前記データ構造体から前記情報を読み出した後に、各前記データ構造体が連鎖され、前記データ構造体に対応した前記ビデオ・データの前記第1の出力ポートを介した伝送を待つ第1の進行中のキューを構成し、前記データ・バッファ内のメモリ位置をアクセスするメモリ・アクセス回路の制御の下で前記伝送を行わせるステップと、

(b) 前記第2の複数のデータ構造体中の各前記データ構造体から前記情報を読み出した後に、各前記データ構造体が連鎖され、前記データ構造体に対応した前記ビデオ・データの前記第2の出力ポートを介した伝送を待つ第2の進行中のキューを構成し、前記データ・バッファ内のメモリ位置をアクセスするメモリ・アクセス回路の制御の下で前記伝送を行わせるステップと、(c) 特定のデータ構造体が関連付けられたビデオ・データ・セグメントに対して、前記特定のデータ構造体内の前記ライン速度コードの指示により前記伝送ライン速度の変更が要求されたときに、前記メモリ・アクセス回路からの割り込みを要求する第1のフラグ・ビットを、前記特定のデータ構造体に書き込むステップと、(d) 前記第1のフラグ・ビットが、前記メモリ・アクセス回路の動作中

のセット条件で見つかったときに、前記割り込みを発行し、割り込みハンドラを開始させるステップと、(e) 前記割り込みハンドラが、前記特定のデータ構造体中の前記ライン速度コードからライン速度変更が要求されたか否かを判定するステップと、(f) 前記割り込みハンドラが、前記第1の複数のデータ構造体中のデータ構造体内の前記ライン速度コードによりライン速度変更が要求されたと判定したときに、前記第1の可変速度クロックを設定するステップと、(g) 前記割り込みハンドラが、前記第2の複数のデータ構造体中のデータ構造体内の前記ライン速度コードによりライン速度変更が要求されたと判定したときに、前記第2の可変速度クロックを設定するステップと、を含む、(7)に記載の方法。

(9) (a) 特定のデータ構造体が関連付けられた特定のビデオ・データ・セグメントに対して、前記特定のデータ構造体内の前記ライン速度コードの指示により前記伝送ライン速度の変更が要求されたときに、前記メモリ・アクセス回路をディスエーブルし、前記ビデオ・データ・セグメントの伝送の阻止を要求する第2のフラグ・ビットをも前記特定のデータ構造体へ書き込むステップと、(b) 前記第2のフラグ・ビットが、前記メモリ・アクセス回路の動作中のセット条件で見つかったときに、前記特定のデータ構造体が関連付けられた前記特定のビデオ・データ・セグメントの伝送を止めるために、前記メモリ・アクセス回路をディスエーブルにするステップと、(c) 前記第1又は第2の可変速度クロックを設定した後に、前記割り込みハンドラが前記メモリ・アクセス回路をイネーブルにし、前記特定のデータ構造体が関連付けられた前記特定のビデオ・データ・セグメントの伝送を許可するステップと、を含む(8)に記載の方法。

(10) 前記第1及び第2のフラグ・ビットが前記データ構造体中の制御ワードの一部を形成し、前記制御ワードが前記メモリ・アクセス回路のレジスタに書き込まれ、前記特定のデータ構造体が関連付けられた前記ビデオ・データ・セグメントの伝送に備えるステップを含む、(9)に記載の方法。

(11) (a) 前記データ構造体が関連付けられた前記ビデオ・データ・セグメントが、直前のビデオ・データ・セグメントのライン速度と同一のライン速度で伝送されるときに、前記ライン速度コードが第1の値に設定され、前記データ構造体が関連付けられた前記ビデオ・データ・セグメントが、第1のライン速度で伝送されるときに、前記ライン速度コードが第2の値に設定され、更に前記データ構造体が関連付けられた前記ビデオ・データ・セグメントが、第2のライン速度で伝送されるときに、前記ライン速度コードが第3の値に設定されるステップと、(b) 前記ライン速度コードが前記第1の値以外の値に設定されるときに、前記ライン速度コードが、前記ビデオ・データ・セグメントを伝送するライン速度

の変更の必要性を示すステップと、を含む(7)に記載の方法。

(12) 前記メモリ・アクセス回路がビデオ・データ・セグメントの伝送を実行中か否かを判定するステップを更に含む方法であって、前記メモリ・アクセス回路が伝送を実行中ではないときに、(a) 前記データ構造体が前記第1の複数のデータ構造体中にあるときに、前記第1の進行中のキューの先頭を指すポインタを前記データ構造体に設定し、前記メモリ・アクセス回路により前記データ構造体からデータを読み出し、更に前記データ構造体内の前記ライン速度コードが示すライン速度に前記第1の可変速度クロックを設定し、前記メモリ・アクセス回路によるビデオ・データ・セグメントの伝送を開始させるステップと、(b) 前記データ構造体が前記第2の複数のデータ構造体中にあるときに、前記第2の進行中のキューの先頭を指すポインタを前記データ構造体に設定し、前記メモリ・アクセス回路により前記データ構造体からデータを読み出し、更に前記データ構造体内の前記ライン速度コードが示すライン速度に前記第2の可変速度クロックを設定し、前記メモリ・アクセス回路によるビデオ・データ・セグメントの伝送を開始させるステップと、を含む(8)に記載の方法。

(13) 複数のビデオ・データ・セグメント中の個々のビデオ・データ・セグメントが、メモリ・アクセス回路の制御の下で伝送されるライン速度を決定する方法であって、各前記ビデオ・データ・セグメントが、前記ビデオ・データ・セグメントが伝送される好ましいライン速度を示すライン速度コードを含むデータ構造体を自身に関連付け、前記ビデオ・データ・セグメントが好ましい順に伝送され、(a) 前記ライン速度コードを前記データ構造体から読み出すステップであって、前記ライン速度コードに関連付けられたビデオ・データ・セグメントの前記好ましい順に相当する順で前記ライン速度コードを読み出すステップと、(b) 前記ライン速度コードがライン速度の変更が要求されていることを示しているときに、前記データ構造体に割り込みビットを設定するステップと、(c) 前記データ構造体を連鎖して進行中のキューを作成するステップと、(d) 前記メモリ・アクセス回路を使用して前記進行中のキュー中のデータ構造体からデータを読み出すステップと、(e) 前記割り込みビットが設定されていないときに、前記データ構造体に関連付けられたビデオ・データ・セグメントを既に設定されているライン速度で伝送するステップと、(f) 前記割り込みビットが設定されているときに、ライン速度変更が要求されているか否かを判定し、変更が要求されているときに前記ライン速度変更を有効にするために可変速度クロックを設定し、更に続いて前記ビデオ・データ・セグメントを伝送するために前記メモリ・アクセス回路による伝送を開始させる、割り込みハンドラ・サブルーチンを起動するステップと、を含む方法。

(14) 第1及び第2のそれぞれ複数のビデオ・データ・セグメント中の個々のビデオ・データ・セグメントが、メモリ・アクセス回路の制御の下で伝送されるライン速度を決定する方法であって、前記第1の複数のビデオ・データ・セグメント中の各前記ビデオ・データ・セグメントが、第1の複数のデータ構造体中の1つに自身を関連付け、前記第2の複数のビデオ・データ・セグメント中の各前記ビデオ・データ・セグメントが、第2の複数のデータ構造体中の1つに自身を関連付け、各前記データ構造体が、前記ビデオ・データ・セグメントが伝送される好ましいライン速度を示すライン速度コードを含み、前記第1の複数のビデオ・データ・セグメント中の前記ビデオ・データ・セグメントが、第1の出力ポートを介して第1の好ましい順で伝送され、前記第2の複数のビデオ・データ・セグメント中の前記ビデオ・データ・セグメントが、第2の出力ポートを介して第2の好ましい順で伝送され、(a) 前記ライン速度コードを前記データ構造体から読み出すステップであって、前記ライン速度コードに関連付けられたビデオ・データ・セグメントの前記第1の好ましい順に相当する順で、前記第1の複数のデータ構造体中のデータ構造体から前記ライン速度コードを読み出し、前記ライン速度コードに関連付けられたビデオ・データ・セグメントの前記第2の好ましい順に相当する順で、前記第2の複数のデータ構造体中のデータ構造体から前記ライン速度コードを読み出すステップと、(b) 前記ライン速度コードがライン速度の変更が要求されていることを示しているときに、前記データ構造体に割り込みビットを設定するステップと、(c) 前記データ構造体が前記第1の複数のデータ構造体に含まれるときに、前記データ構造体を連鎖して第1の進行中のキューを作成するステップと、(d) 前記データ構造体が前記第2の複数のデータ構造体に含まれるときに、前記データ構造体を連鎖して第2の進行中のキューを作成するステップと、(e) 前記メモリ・アクセス回路を使用して前記第1及び第2の進行中のキュー中のデータ構造体からデータを読み出すステップと、(f) 前記割り込みビットが設定されていないときに、前記データ構造体に関連付けられた前記ビデオ・データ・セグメントを既に設定されているライン速度で伝送するステップと、(g) 前記割り込みビットが設定されているときに、ライン速度変更が要求されているか否かを判定し、変更が要求されているときに前記ライン速度変更を有効にするために可変速度クロックを設定し、更に続いて前記ビデオ・データ・セグメントを伝送するために前記メモリ・アクセス回路による伝送を開始させる、割り込みハンドラ・サブルーチンを起動するステップと、を含む方法。

(15) データ構造体に関連付けられたビデオ・データ・セグメントが伝送される伝送チャネルのライン速度を変える必要性を伝達するデータ構造体を作成する方法で



あって、前記データ構造体は、データ・バッファ内に保管される複数のデータ構造体に含まれ、前記複数のデータ構造体中のデータ構造体のアドレスが、前記データ構造体に関連付けられた前記ビデオ・データ・セグメントが、前記伝送チャンネルを通じて伝送されるときに好ましい順に相当する順でFIFOバッファの中に保管され、(a)前記データ構造体のアドレスを前記FIFOバッファから受信するステップと、(b)前記アドレスに保管された前記データ構造体の制御データを読み出すステップと、(c)前記制御データの中に割り込み要求が存在するときに、前記データ構造体内のチャンネル制御ワードに割り込みビットを設定するステップと、(d)書き込み制御速度データを調べた結果の判定により速度変更が要求されたときに、前記チャンネル制御ワード内に前記割り込みビットを設定し、更にメモリ・アクセス回路がその後に前記データ・バッファ内の前記データ構造体を読み出す動作をディスエーブルするためのビットを設定するステップと、(e)前記チャンネル制御ワードを前記データ構造体内のチャンネル記述子ブロックに書き込むステップと、(f)前記データ構造体を連鎖し、前記伝送チャンネルに関連付けられた進行中のキューを作成するステップと、(g)前記FIFOバッファからの別のデータ構造体に関する別のアドレスの受信を待つステップと、を含む方法。

(16)(15)のステップ(e)と(f)との間に、(a)前記データ構造体に関連付けられたビデオ・データ・セグメントの伝送を制御するための、前記データ・バッファ内の前記データ構造体をアクセスするメモリ・アクセス回路がオンになっているか否かを判定するステップと、(b)前記メモリ・アクセス回路がオンになっていない場合に、前記チャンネル制御ワードを前記メモリ・アクセス回路のレジスタに書き込み、前記データ構造体に前記伝送チャンネルを通じたデータ伝送のタイミングをとるパルスを供給する可変速度クロックを設定し、前記進行中のキューの先頭を指すポインタを設定し、更に前記メモリ・アクセス回路をオンにするステップと、を更に含む、(15)に記載の方法。

(17)伝送チャンネルを通じて複数のビデオ・データ・セグメントを伝送するタイミングをとるパルスを供給する可変速度クロックの速度を設定する方法であって、前記複数のビデオ・データ・セグメント中の各ビデオ・データ・セグメントがデータ・バッファに保管され、前記複数のビデオ・データ・セグメント中の各ビデオ・データ・セグメントが、チャンネル制御ワードを含むデータ構造体に関連付けられ、前記ビデオ・データ・セグメントがライン速度を示すライン速度コードを有し、(a)前記チャンネル制御ワードをメモリ・アクセス回路のレジスタに読み出すステップと、(b)前記チャンネル制御ワードが、前記メモリ・アクセス回路をディスエーブルにするビットを含むときに、前記メモリ・アクセス回路の前

記レジスタに前記チャンネル制御ワードを保持しつつ、前記メモリ・アクセス回路の動作を停止するステップと、(c)前記チャンネル制御ワードが割り込みを要求するビットを含むときに、前記メモリ・アクセス回路から割り込みを発行するステップと、(d)前記割り込みが発行されたときに、事前の動作が完了前に停止しているか否かを判定するステップと、(e)前記事前の動作が完了前に停止しているときに、エラー割り込みを処理するステップと、(f)前記事前の動作が完了前に停止していないときに、前記データ構造体内の前記ライン速度コードを使用して、新しいライン速度が要求されているか否かを判定するステップと、(g)新しいライン速度が要求されているときに、前記ライン速度コードに従って前記可変速度クロックを設定し、前記メモリ・アクセス回路の動作を開始するステップと、(h)新しいライン速度が要求されていないときに、前記メモリ・アクセス回路が動作中か否かを判定するステップと、(i)前記メモリ・アクセス回路が動作中ではないときに、前記メモリ・アクセス回路の動作を開始するステップと、を含む方法。

(18)通信カードのコプロセッサで実行されるダウンロード可能なプログラムのサブルーチンがコンピュータにより読み出し可能な形式で書き込まれる記録媒体であって、データ構造体に関連付けられたビデオ・データ・セグメントを伝送する伝送チャンネルのライン速度の変更の必要性を伝達するために前記データ構造体を作成し、前記データ構造体が、データ・バッファ内に保管される複数のデータ構造体に含まれ、前記複数のデータ構造体中のデータ構造体のアドレスが、前記データ構造体に関連付けられた前記ビデオ・データ・セグメントが、前記伝送チャンネルを通じて伝送される際の好ましい順に相当する順でFIFOバッファ中に保管され、前記サブルーチンが、(a)データ構造体のアドレスの受信を待つステップと、(b)前記アドレスに保管された前記データ構造体の制御データを読み出すステップと、(c)前記制御データ中に割り込み要求が存在するときに、前記データ構造体中のチャンネル制御ワードに割り込みビットを設定するステップと、(d)書き込み制御速度データを調べた結果の判定により速度変更が要求されるときに、前記チャンネル制御ワード内に前記割り込みビットを設定し、更にメモリ・アクセス回路がその後に前記データ・バッファ内の前記データ構造体を読み出す動作をディスエーブルするためのビットを設定するステップと、(e)前記チャンネル制御ワードを前記データ構造体内のチャンネル記述子ブロックに書き込むステップと、(f)前記データ構造体を連鎖し、前記伝送チャンネルに関連付けられた進行中のキューを作成するステップと、(g)前記FIFOバッファからの別のデータ構造体に関する別のアドレスの受信を待つステップと、を含む、該記録媒体。

(19) 前記サブルーチンが前記ステップ(e)と(f)との間に、(a) 前記データ構造体に関連付けられたビデオ・データ・セグメントの伝送を制御するための、前記データ・バッファ内の前記データ構造体をアクセスするメモリ・アクセス回路がオンになっているか否かを判定するステップと、(b) 前記メモリ・アクセス回路がオンになっていない場合に、前記チャンネル制御ワードを前記メモリ・アクセス回路のレジスタに書き込み、前記データ構造体に前記伝送チャンネルを通じたデータ伝送のタイミングをとるパルスを供給する可変速度クロックを設定し、前記進行中のキューの先頭を示すポインタを設定し、更に前記メモリ・アクセス回路をオンにするステップと、を更に含む、(18)に記載の記録媒体。

(20) 前記記録媒体に通信カードのコプロセッサ内で実行される割り込みハンドラを更に書き込み、前記割り込みハンドラが、(a) 前記チャンネル制御ワードをメモリ・アクセス回路のレジスタに読み出すステップと、(b) 前記チャンネル制御ワードが、前記メモリ・アクセス回路をディスエーブルにするビットを含むときに、前記メモリ・アクセス回路の前記レジスタに前記チャンネル制御ワードを保持しつつ、前記メモリ・アクセス回路の動作を停止するステップと、(c) 前記チャンネル制御ワードが割り込みを要求するビットを含むときに、前記メモリ・アクセス回路から割り込みを発行するステップと、(d) 前記割り込みが発行されたときに、事前の動作が完了前に停止しているか否かを判定するステップと、(e) 前記事前の動作が完了前に停止しているときに、エラー割り込みを処理するステップと、(f) 前記事前の動作が完了前に停止していないときに、前記データ構造体内の前記ライン速度コードを使用して、新しいライン速度が要求されているか否かを判定するステップと、(g) 新しいライン速度が要求されているときに、前記ライン速度コードに従って前記可変速度クロックを設定し、前記メモリ・アクセス回路の動作を開始するステップと、(h) 新しいライン速度が要求されていないときに、前記メモリ・アクセス回路が動行中か否かを判定するステップと、(i) 前記メモリ・アクセス回路が動行中ではないときに、前記メモリ・アクセス回路の動作を開始するステップと、を含む、(19)に記載の記録媒体。

【図面の簡単な説明】

【図1】本発明が適用されているネットワークの概略の

ブロック図である。

【図2】本発明が適用されている代替ネットワークの概略のブロック図である。

【図3】図1に示すネットワークのビデオ・サーバ内のコプロセッサで実行されるアプリケーション・プログラムの概略のブロック図である。

【図4】図1に示すネットワークのビデオ・サーバの単一出力ポートからのビデオ・データ出力を制御するために使用される、データ構造体の概略のブロック図である。

【図5】図3に示すアプリケーション・プログラムの一部を形成する、実行時サブルーチンの流れ図である。

【図6】図3に示すアプリケーション・プログラムの一部を形成する、割り込みハンドラの流れ図である。

【図7】本発明が適用されている、同時出願中の出願に記述されているメディア・ストリーマの概略のブロック図である。

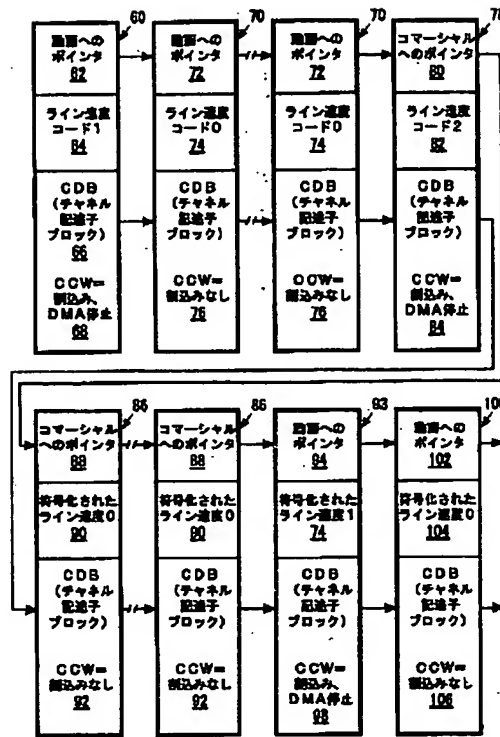
【図8】図7に示すメディア・ストリーマの通信ノードの概略のブロック図である。

【符号の説明】

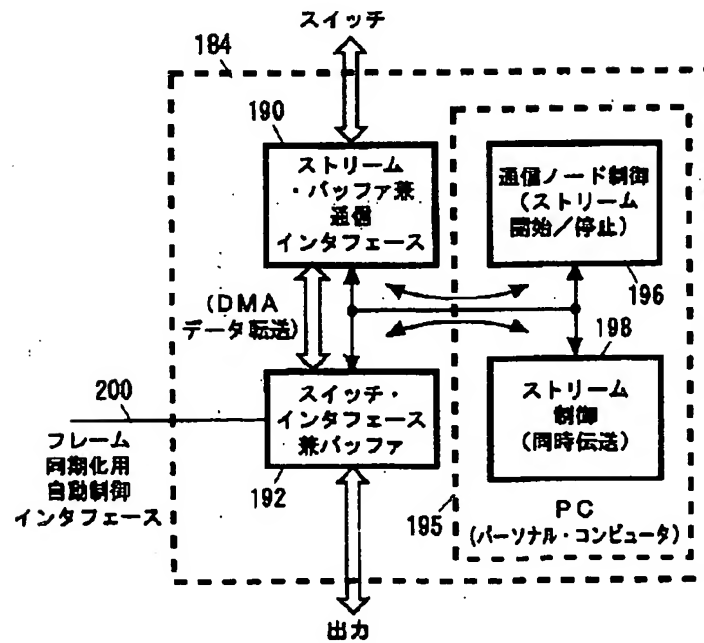
- 22 システム・バス(図1)
- 32 CFEバス(図1)
- 40 アプリケーション・インタフェース・カード(図1)
- 46 出力ポート(図1)
- 47 AIBバス(図1)
- 48 出力線(図1、図2)
- 48a 可変速度クロック回路(図1)
- 48b 常駐RAMメモリ(図1)
- 49 データ・バッファ(図1)
- 50 FIFOバッファ(図1)
- 50a ポインタ・バッファ(図1)
- 51 チャンネル・セレクト・スイッチ(図1)
- 59 チャンネル関連レジスタ(図1)
- 60 WCB 60(図4)
- 70 WCB 70(図4)
- 78 WCB 78(図4)
- 86 WCB 86(図4)
- 93 WCB 93(図4)
- 100 WCB 100(図4)
- 170 取り外し可能なコンピュータ読み込み可能媒体(図1)
- 180 メディア・ストリーマ(図7)



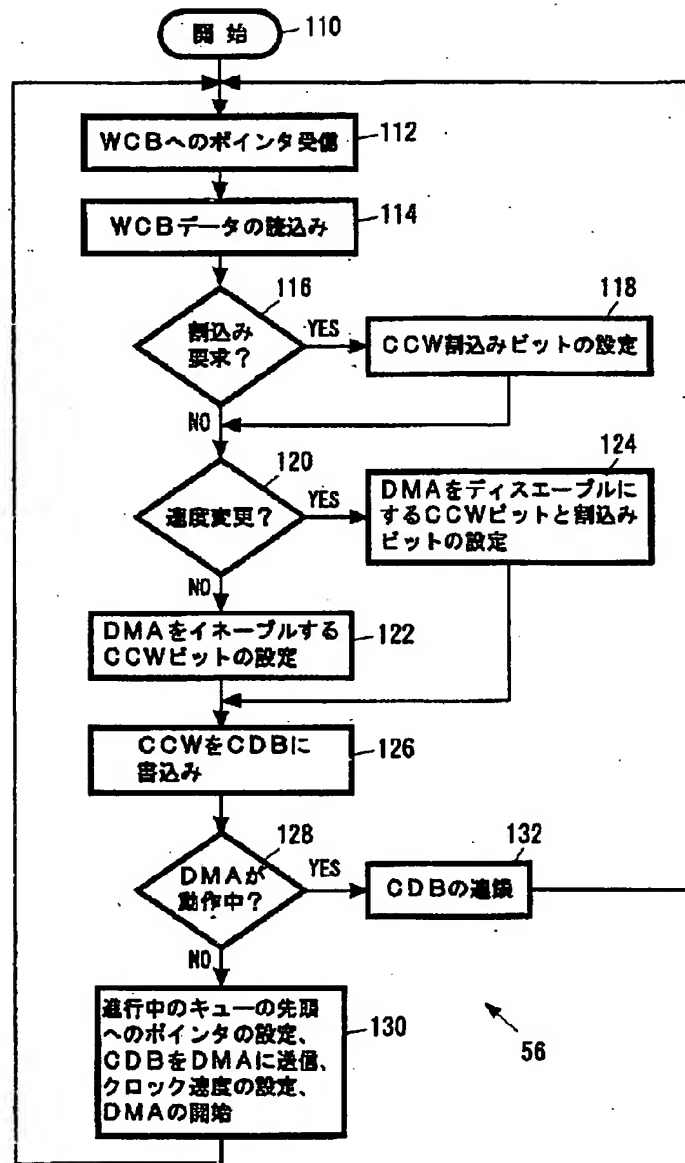
【図4】



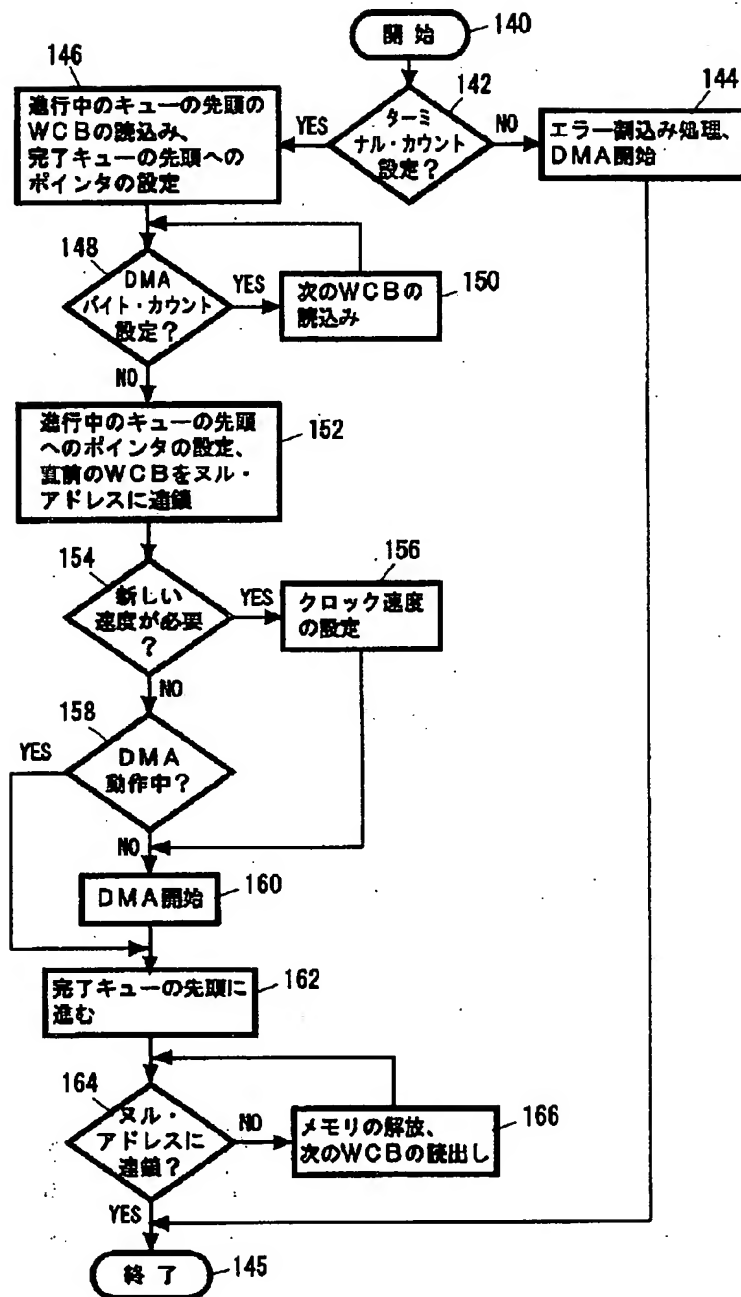
【図8】



【図5】



【図6】





【図7】

